

UJA1078A

高速 CAN/ デュアル LIN コアシステムベースチップ

Rev. 2 — 2011 年 1 月 28 日

製品データシート

日本語の仕様書は参考までにご覧ください。また、正式な仕様書については最新版の英語の仕様書をご覧ください。

1. はじめに

NXP が提供するコア SBC（システムベースチップ）の「UJA1078A」は、一般的な電子制御ユニット（ECU）に見られる基本個別コンポーネントに替わる、高速 CAN（コントローラエリアネットワーク）と 2 つの LIN（ローカルインターコネクトネットワーク）インターフェースを提供します。

UJA1078A は、高速 CAN をメインのネットワークインターフェースとして使うことで、電源やセンサーなどの周辺装置の制御に使われるネットワークアプリケーションをサポートします。

このコア SBC には、次の統合デバイスが含まれています。

- 高速 CAN トランシーバ — CAN トランシーバ TJA1042 とのバックワードの互換性と相互運用性、ISO 11898-2 および ISO 11898-5 規格に対応
- LIN トランシーバ — LIN 2.1、LIN 2.0、SAE J2602 に対応、LIN 1.3 と互換性
- 高度な独立ウォッチドッグ（UJA1078A/xx/WD バージョン）
- 250 mA 電圧レギュレータ（マイクロコントローラ供給用）— 外部 PNP トランジスタで拡張可能（電流輸送能力の向上と散逸分布）
- オンボード CAN トランシーバ用の個別電圧レギュレータ
- SPI（シリアルペリフェラル・インターフェース）（全二重）
- ローカルウェイクアップ入力ポート x 2
- リンプホーム出力ポート

これらの一般的な ECU 機能を 1 つのパッケージに統合することで得られるメリットに加え、このコア SBC は次のようなシステム固有の機能をインテリジェントに組み合わせて提供します。

- 先進の低消費電力コンセプト
- 安全で制御されたシステムスタートアップの挙動
- システムおよびサブシステムレベルでの詳細なステータスレポート

UJA1078A は、CAN コントローラを有するマイクロコントローラと共に使用することを念頭にデザインされているので、マイクロコントローラのスタートアップは常に制御下で行われます。



2. 特徴およびメリット

2.1 全般

- CAN および LIN ECU の全機能を提供
 - ◆ CAN トランシーバ、LIN トランシーバ x 2
 - ◆ 拡張可能な 3.3V または 5V 電圧レギュレータがマイクロコントローラと周辺回路に最高 250mA を提供。外部 PNP トランジスタを接続し、プリント基板でより優れた熱分布を実現することが可能
 - ◆ CAN トランシーバ用 (5V) の個別電圧レギュレータ
 - ◆ ウォッチドッグ (ウィンドウモード / タイムアウトモード) およびオンチップオシレータ
 - ◆ SPI (シリアルペリフェラル・インターフェース) – マイクロコントローラと通信
 - ◆ ECU 電力管理システム (PMS)
- オートモーティブアプリケーション用にデザイン
 - ◆ 電磁両立性 (EMC) パフォーマンスを強化
 - ◆ ±8kV 静電放電 (ESD) 保護、人体帯電モデル (HBM) – CAN/LIN バスピンおよびウェイクアップピン
 - ◆ ±6kV 静電放電 IEC 61000-4-2 – CAN/LIN バスピンおよびウェイクアップピン
 - ◆ ±58V ショート回路防止 CAN/LIN バスピン
 - ◆ 過渡電流に対してバッテリーおよび CAN/LIN バスピンを保護 (ISO 7637-3 に対応)
- CAN バスを通じたリモートフラッシュプログラミングをサポート
- 6.1 mm × 11 mm HTSSOP32 の小型パッケージ、低熱抵抗
- 鉛フリー、RoHS (有害物質規制) 指令準拠、Dark Green 適合

2.2 CAN トランシーバ

- ISO 11898-2 および ISO 11898-5 対応の高速 CAN トランシーバ
- CAN バス用の低ドロップアウト電圧レギュレータ
 - ◆ マイクロコントローラ供給電源から独立
 - ◆ EMC のパフォーマンスが大幅に強化
- 電源オフ時、バス接続は実際にフロート
- SPLIT 出力ピンによるレセッシブバスレベルの安定

2.3 LIN トランシーバ

- LIN 2.1 対応 LIN トランシーバ x 2
- SAE J2602 対応
- LIN 2.0 および LIN 1.3 との互換性
- 低スロープモードによる最適な EMC パフォーマンス
- 統合 LIN 終端ダイオード (ピン DLIN)

2.4 電力管理

- CAN、LIN、またはローカルウェイクアップ・ピンによるウェイクアップ、ウェイクアップ電源検出
- 2つのウェイクアップピン
 - ◆ WAKE1 および WAKE2 入力をオフにして電流を減らすことが可能
 - ◆ 出力信号 (WBIAS) によるウェイクアップピンのバイアス、サンプリング時間を指定可能 (16 ms または 64 ms)

- 超低待機電流でのスタンバイモードおよび完全なウェイクアップ機能、V1 をアクティブにすることでマイクロコントローラへの供給電力を維持
- 超低スリープ電流でのスリープモードおよび完全なウェイクアップ機能

2.5 コントロールおよび診断機能

- あらゆる条件下において安全で予測可能な挙動
- プログラミング可能なウォッチドッグ、独立したクロック電源
 - ◆ ウィンドウ、タイムアウト（オプションで周期的ウェイクアップが可能）、オフの各モードをサポート（中断時には自動的に再有効化）
- 16-bit SPI（シリアルペリフェラル・インターフェース）による設定、制御、診断
- グローバル対応出力により、高い安全性が求められるハードウェアを制御
- リンプホーム出力（LIMP）により、システムの重大な障害発生時にアプリケーション固有の「リンプホーム（非常時回避）」ハードウェアを有効化
- 過熱時シャットダウン
- 割り込み出力ピン — 割り込みは、V1/V2 低電圧、ローカルウェイクアップ、周期的 / パワーオン割り込みイベントのシグナルとして、個別に設定可能
- 双方向リセットピン — 可変パワーオンリセット長により、様々なマイクロコントローラをサポート
- ソフトウェア起動式のシステムリセット

2.6 電圧レギュレータ

- 主電圧レギュレータ V1:
 - ◆ マイクロコントローラ、周辺装置、追加の外部トランシーバをサポートする拡張性に優れた電圧レギュレータ
 - ◆ $\pm 2\%$ 精度
 - ◆ 3V バージョンまたは 5V バージョン
 - ◆ 最大 250mA をサポートすると共に、外部 PNP トランジスタと組み合わせることで PCB の熱分布を向上
 - ◆ 外部 PNP トランジスタからの電流供給を始めるしきい値電流を指定可能
 - ◆ 定格出力電圧の 90% で低電圧警告、定格出力電圧の 90% または 70% で低電圧リセット
 - ◆ ISO 7637 pulse 4/4b および ISO16750-2 に準拠 — 最低 4.5 V までの V_{BAT} 電圧で動作（クランキング時など）
 - ◆ あらゆる条件下で安定した出力
- CAN トランシーバ用電圧レギュレータ V2
 - ◆ オンチップ高速 CAN トランシーバ専用の電圧レギュレータ
 - ◆ 定格出力電圧の 90% で低電圧警告
 - ◆ スイッチオフが可能 — CAN トランシーバには V1 または外部電圧レギュレータから供給可能
 - ◆ SO 7637 pulse 4 に準拠 — 最低 5.5 V までの V_{BAT} 電圧で動作（クランキング時など）
 - ◆ あらゆる条件下で安定した出力

3. オーダー関連情報

表 1. オーダー関連情報

タイプ U	パッケージ		バージョン
	名称	説明	
UJA1078ATW/5V0/WD	HTSSOP32	プラスチック熱強化薄型シュリンクスモールアウトラインパッケージ、32 リード、ボディ幅 6.1 mm、リードピッチ 0.65mm、露出型ダイパッド	SOT549-1
UJA1078ATW/3V3/WD			
UJA1078ATW/5V0			
UJA1078ATW/3V3			

[1] UJA1078ATW/5V0xx バージョンには 5 V レギュレータが (V1)、UJA1078ATW/3V3xx バージョンには 3.3 V レギュレータ (V1) が、WD バージョンにはウォッチドッグがそれぞれ含まれています。

4. ブロック図

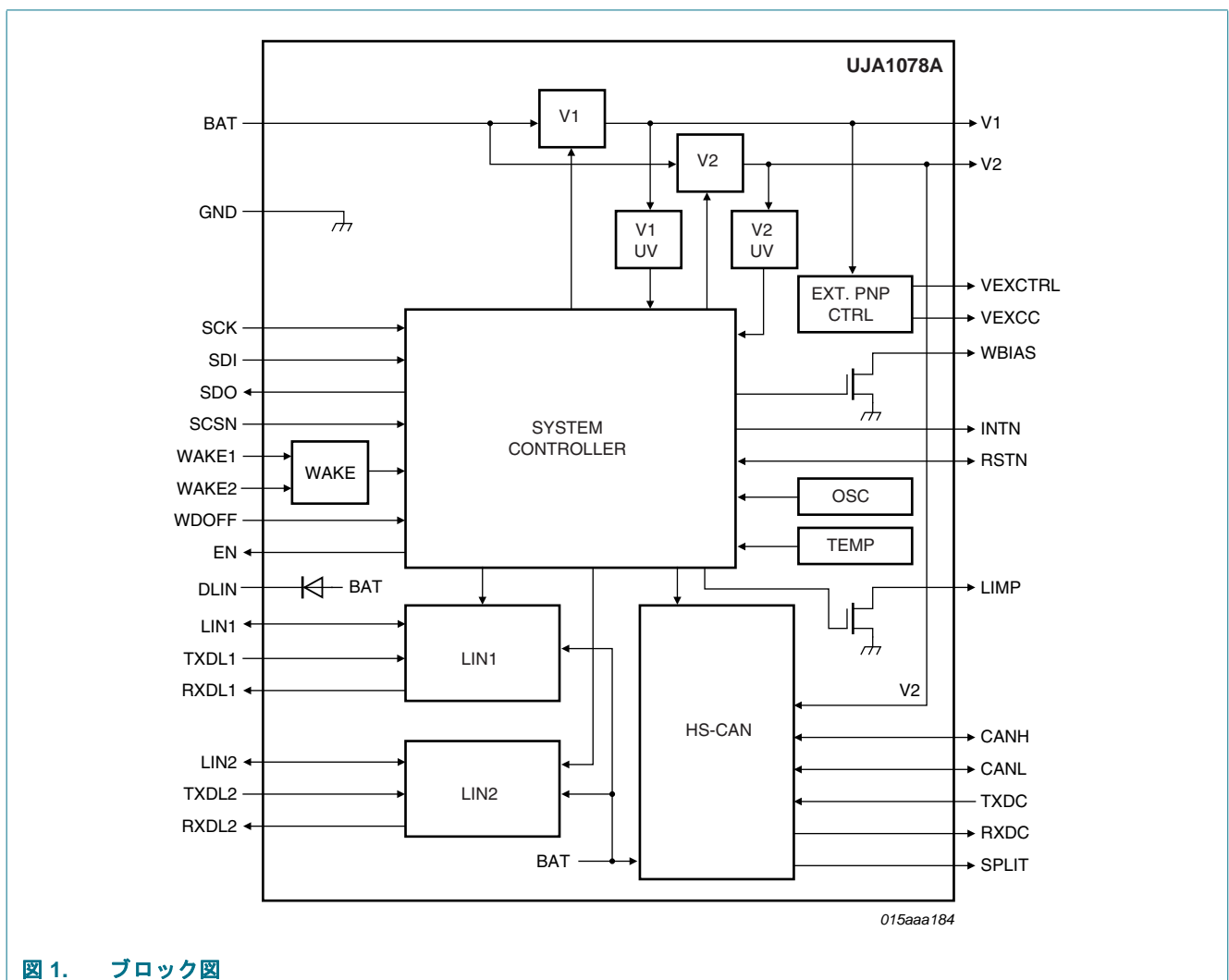


図 1. ブロック図

5. ピンニング情報

5.1 ピンニング

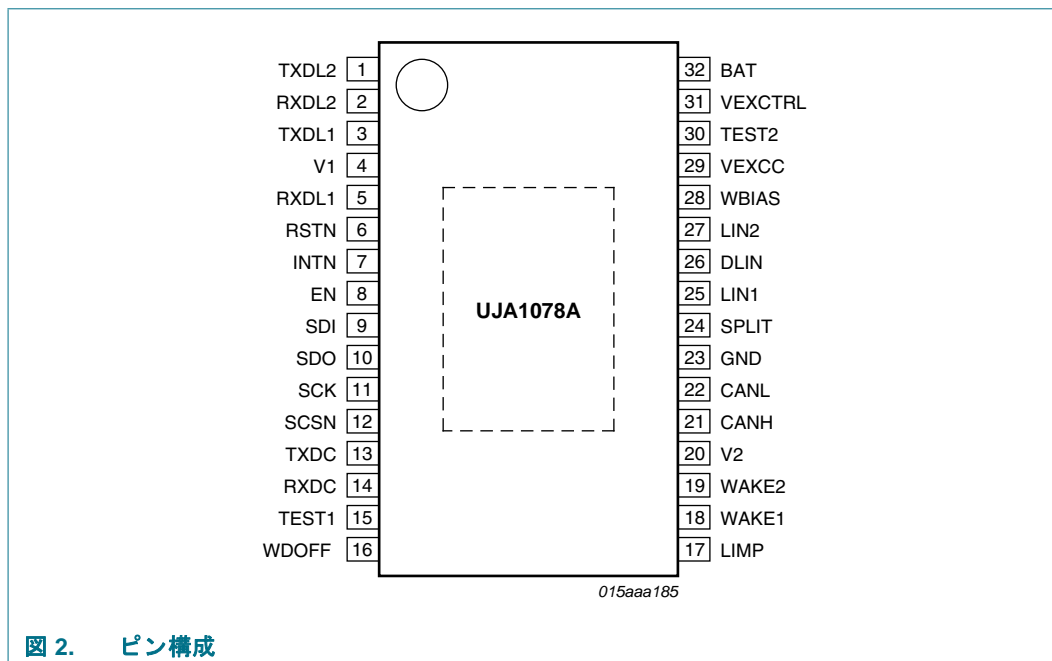


図 2. ピン構成

5.2 ピンの説明

表 2. ピンの説明

シンボル	ピン	説明
TXDL2	1	LIN2 送信データ入力
RXDL2	2	LIN2 受信データ出力
TXDL1	3	LIN1 送信データ入力
V1	4	マイクロコントローラ用電圧レギュレータ出力 (SBC バージョンにより 5 V または 3.3 V)
RXDL1	5	LIN1 受信データ出力
RSTN	6	マイクロコントローラとの入出力リセット
INTN	7	マイクロコントローラへの割り込み出力
EN	8	出力有効化
SDI	9	SPI データ入力
SDO	10	SPI データ出力
SCK	11	SPI クロック入力
SCSN	12	SPI チップ選択入力
TXDC	13	CAN 送信データ入力
RXDC	14	CAN 受信データ出力
TEST1	15	テストピン - ピンはグランドに接続
WDOFF	16	WDOFF ピン - ウォッチドッグをオフ
LIMP	17	リンプホーム出力
WAKE1	18	ローカルウェイクアップ入力 1
WAKE2	19	ローカルウェイクアップ入力 2
V2	20	CAN 用 5 V 電圧レギュレータ出力

表 2. ピンの説明 ... 続き

シンボル	ピン	説明
CANH	21	CANH バスライン
CANL	22	CANL バスライン
GND	23	グラウンド
SPLIT	24	CAN バスコモンモード安定出力
LIN1	25	LIN1 バスライン
DLIN	26	LIN 終端抵抗器接続
LIN2	27	LIN2 バスライン
WBIAS	28	外部ウェイクバイアストランジスタ用コントロールピン
VEXCC	29	外部 PNP トランジスタの電流測定 – 外部 PNP トランジスタのコレクタに接続
TEST2	30	テストピン – ピンはグラウンドに接続
VEXCTRL	31	外部 PNP トランジスタのコントロールピン – 外部 PNP トランジスタのベースに接続
BAT	32	SBC へのバッテリー電源

パッケージ下部の露出したダイパッドによって、PCB を通じて SBC からの熱放散効率が高まります。露出したダイパッドは、IC 上のどのアクティブ部分にも接続されています。フロート状態のままにしておくか、GND に接続することができます。

6. 機能説明

UJA1078A は、高速 CAN トランシーバ x 1、LIN トランシーバ x 2、電圧レギュレータ x 2、ウォッチドッグ x 1 のすべての機能を 1 つの専用チップで提供し、ECU のパワーアップ / ダウン機能をサポートすると共に、高度なシステム信頼性を実現しています。また、この SBC (システムベースチップ) はバスの活動によるウェイクアップ、周期的ウェイクアップ、外部スイッチの有効化によるウェイクアップのオプションに加え、ウェイクアップスイッチのパルステスト用に定期的なコントロールシグナルを提供することで、たとえスタンバイモードでウェイクアップスイッチが閉じていても、低電流で動作します。

すべてのトランシーバは、バス構成で高い柔軟性を提供できるように最適化されていますが、特に高速 CAN トランシーバはリングング (バス反射) を低減できるように最適化されています。

主電圧レギュレータの V1 は、ECU のマイクロコントローラ、周辺装置、追加の外部トランシーバへの電力供給用にデザインされています。熱分布向上のために外部 PNP トランジスタを付加することもできます。V2 は、統合された高速 CAN トランシーバに電力を供給します。ウォッチドッグはオンチップオシレータによって直接クロッキングし、ウィンドウモード、タイムアウトモード、オフモードで動作します。

6.1 システムコントローラ

6.1.1 概要

システムコントローラはレジスタの構成を管理し、SBC の内部機能を制御します。また、このコントローラはデバイスのステータス情報を収集してマイクロコントローラに提供すると共に、リセットシグナルと割り込みシグナルも提供します。

このシステムコントローラはステートマシンです。SBC の動作モードおよび各モード間の移行のトリガーを下図 (図 3) に示します。これらのモードの詳細は後述します。

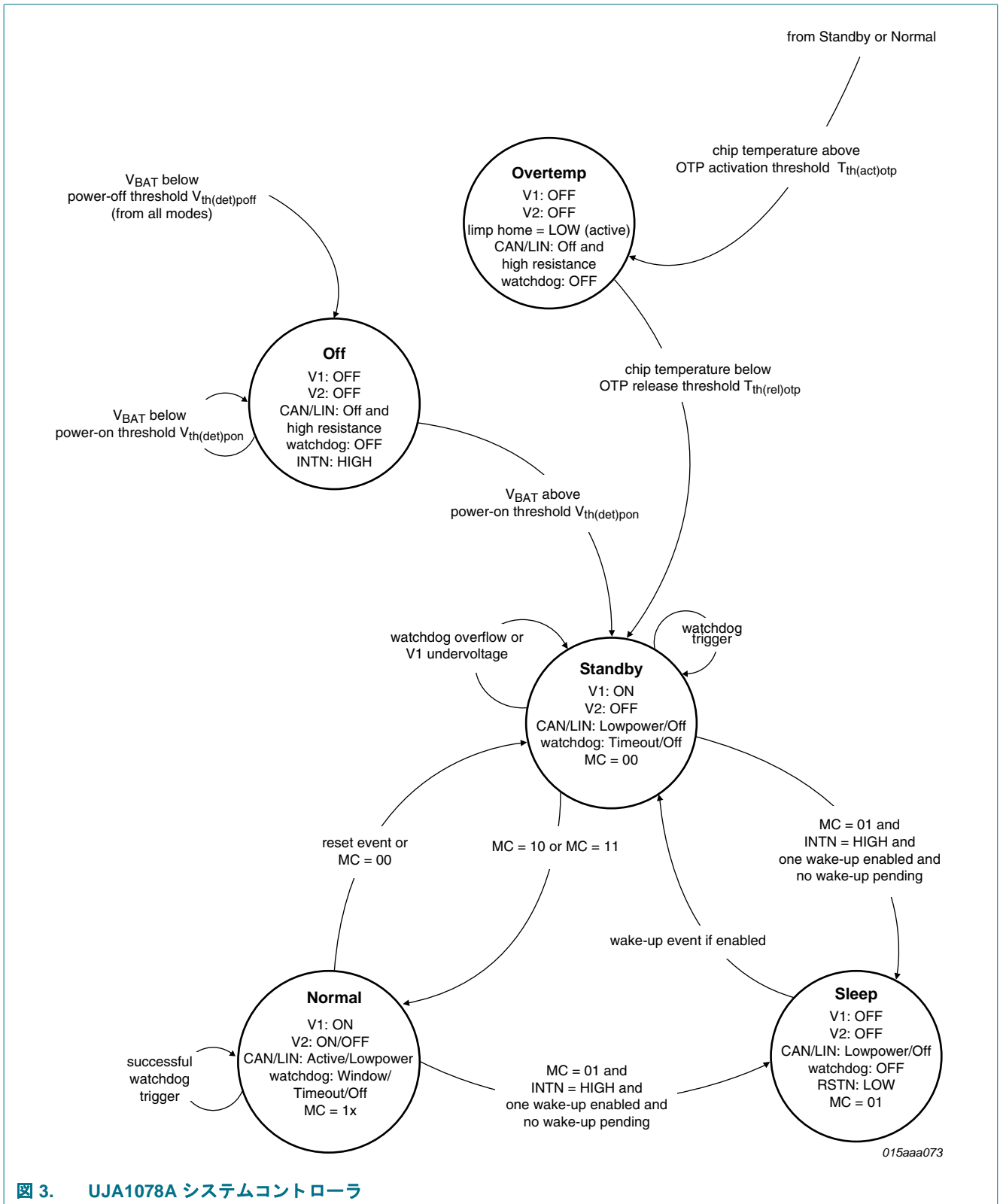


図 3. UJA1078A システムコントローラ

6.1.2 オフモード

バッテリーからの供給電力がパワーオフ検出しきい値 ($V_{th(det)poff}$) を下回ると、SBC がどのモードであってもオフモードに切り替わります。オフモードでは、電圧レギュレータはオフとなり、バスシステムは高抵抗状態になります。CAN バスピンはフロート状態となります。

バッテリーからの供給電力がパワーオン検出しきい値 ($V_{th(det)on}$) を上回ると同時に SBC はスタンバイモードに切り替わり、システムリセットが実行されます (リセットパルス幅は $t_{w(rst)}$ 、Long または Short。6.5.1 章および表 11 参照)。

6.1.3 スタンバイモード

SBC がスタンバイモードに切り替わる条件は次のとおりです。

- オフモードから – V_{BAT} がパワーオン検出しきい値 ($V_{th(det)on}$) を上回ったとき
- スリープモードから – CAN、LIN、ローカルウェイクアップイベントのいずれかが発生したとき
- 過熱モードから – チップの温度が過熱保護リリースしきい値 $T_{th(rel)otp}$ を下回ったとき
- 通常モードから – MC ビットが「00」に設定されるか、システムリセットが実行されたとき (6.5 章参照)

スタンバイモードでは、V1 がスイッチオンになります。CAN および LIN の各トランシーバは、バスウェイクアップ検出がオンの低電力状態 (低電力モード、STBCC/STBCL1/STBCL2 = 1、表 6 参照) となるか、完全にスイッチオフの状態になります (オフモード、STBCx = 0、6.7.1 章/6.8.1 章参照)。ウォッチドッグは、WDOFF ピンの状態および WD_and_Status レジスタのウォッチドッグモード・コントロールビット (WMC) の設定に基づいて、タイムアウトモードかオフモードのいずれかで実行できます (表 4)。

SBC がスタンバイモードを終了する条件は次のとおりです。

- MC ビットが「10」(V2 オフ) または「11」(V2 オン) に設定され、通常モードが選択されたとき
- MC ビットが「01」に設定され、スリープモードが選択されたとき
- チップの温度が過熱保護 OTP: OverTemperature Protection) 有効化しきい値 $T_{th(act)otp}$ を上回り、SBC が過熱モードになったとき

6.1.4 通常モード

Mode_Control レジスタ (表 5) の MC ビットを「10」(V2 オフ) または「11」(V2 オン) に設定すると、通常モードが選択されます。

通常モードでは、CAN 物理層がオンになるか (アクティブモード、STBCC = 0、表 6 参照)、バスウェイクアップ検出がオンで低電力状態 (低電力モード、STBCC = 1) になります。

また、LIN 物理層 (LIN1、LIN2) はオンになるか (アクティブモード、STBCL1/STBCL2 = 0、表 6 参照)、バスウェイクアップ検出がオンで低電力状態 (低電力モード、STBCL1/STBCL2 = 1) になります。

SBC が通常モードを終了する条件は次のとおりです。

- MC ビットが「00」に設定され、スタンバイモードが選択されたとき
- MC ビットが「01」に設定され、スリープモードが選択されたとき
- システムリセットが生成されたとき (6.1.3 章参照 – SBC はスタンバイモードに切り替わり)
- チップの温度が過熱保護有効化しきい値 $T_{th(act)otp}$ を上回り、SBC が過熱モードに切り替わったとき

6.1.5 スリープモード

Mode_Control レジスタ (表 5) の MC ビットを「01」に設定することで、スタンバイモードまたは通常モードからスリープモードを選択できます。スリープモードに切り替わると、保留中の割り込みやウェイクアップイベントがなくなり (ピン INTN = HIGH)、少なくとも 1 つのウェイクアップソースが有効化されます (CAN、LIN、WAKE のいずれか)。いずれの条件にも一致しない状況でスリープモードにしようとした場合、ショートリセットとなります (最小 3.6 ms パルス幅、6.5.1 章および表 11 を参照)。

スリープモードでは V1 と V2 はオフで、バストランシーバのスイッチもオフになるか (オフモード、STBCx = 0、表 6 を参照) 低電力状態になり (低電力モード、STBCx = 1)、バスウェイクアップ検出はオンとなります (6.7.1 章/6.8.1 章参照)。ウォッチドッグはオフに、またリセットピンは LOW になります。

CAN、LIN、ローカルウェイクアップイベントのいずれかによって、SBC はスリープモードからスタンバイモードに切り替わり、システムリセットが生成されます (ショートまたはロング、6.5.1 章参照)。モードコントロールビット (MC) の値は「00」に変わり、V1 がオンになります。

6.1.6 過熱モード

チップの温度が過熱保護有効化 (OTP) しきい値 $T_{th(otp)}$ を超えると、SBC は通常モードまたはスタンバイモードから過熱モードに切り替わります。

過熱モードでは、電圧レギュレータはオフとなり、バスシステムは高抵抗状態になります。また SBC が過熱モードになると RSTN ピンが LOW になり、リンプホームコントロールビット LHC は LIMP ピンが LOW になるように設定されます。

チップの温度が過熱時シャットダウンしきい値のヒステリシスレベルを下回ると、SBC の過熱モードは終了します。過熱モードの終了後、SBC はスタンバイモードに切り替わり、システムリセットが生成されます (リセットパルス幅 $t_{w(rst)}$ 、ロングまたはショート、6.5.1 章/表 11 参照)。

6.2 SPI (シリアルペリフェラル・インターフェース)

6.2.1 概要

SPI (シリアルペリフェラル・インターフェース) は、マイクロコントローラとの通信リンクを提供し、マルチスレーブ環境をサポートします。SPI は全二重データ転送用に設定されているので、新しいコントロールデータが入るとそのステータス情報が返されます。このインターフェースには読取専用アクセスのオプションもあるので、レジスタのコンテンツを変更する必要なしに、アプリケーションからレジスタを読み返すことができます。

SPI は、4 つのインターフェースシグナルを使用して同期化とデータ伝送を行います。

- SCSN: SPI チップ選択 – アクティブ LOW
- SCK: SPI クロック – 低電力コンセプトにより、デフォルトレベルは LOW
- SDI: SPI データ入力
- SDO: SPI データ出力 – SCSN ピンが HIGH の場合、フロート

クロックの立下りエッジでビットサンプリングが実行され、データは立上りクロックエッジにシフトします (図 4)。

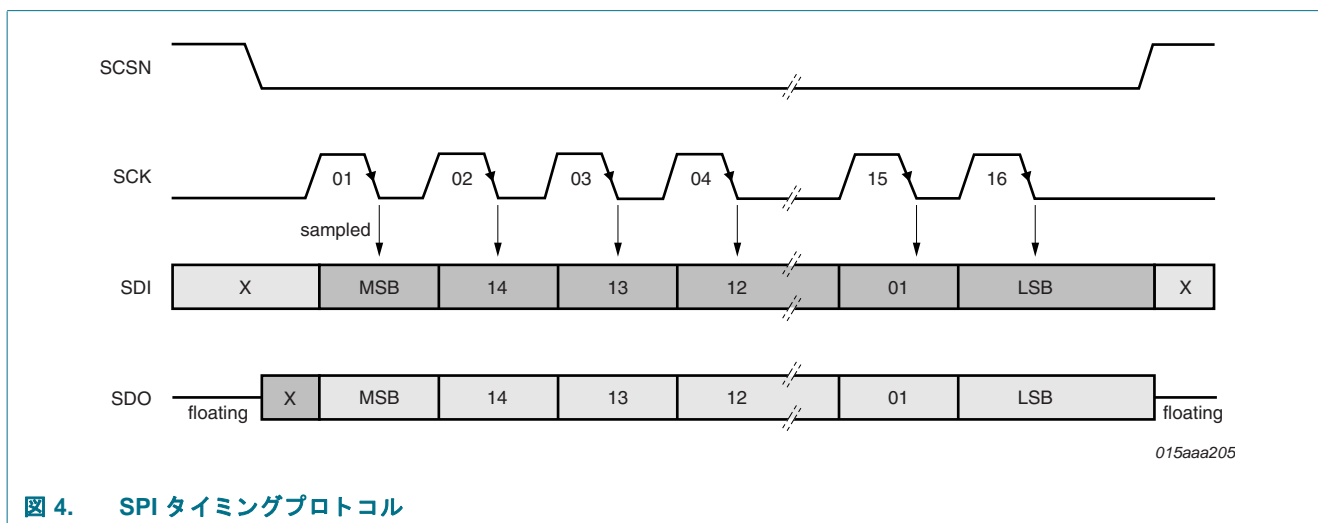


図 4. SPI タイミングプロトコル

6.2.2 レジスタマップ

メッセージヘッダーの最初の 3 ビット (A2、A1、A0) はレジスタアドレスを定義し、4 番目のビット (RO) は読取 / 書込みまたは読取専用として選択レジスタを定義します。

表 3. レジスタマップ

アドレスビット 15、14、13	書込みアクセスビット 12 = 0	読取 / 書込みアクセスビット 11... 0
000	0 = 読取 / 書込み、1 = 読取専用	WD_and_Status レジスタ
001	0 = 読取 / 書込み、1 = 読取専用	Mode_Control レジスタ
010	0 = 読取 / 書込み、1 = 読取専用	Int_Control レジスタ
011	0 = 読取 / 書込み、1 = 読取専用	Int_Status レジスタ

6.2.3 WD_and_Status レジスタ

表 4. WD_and_Status レジスタ

ビット	シンボル	アクセス	パワーオン デフォルト	説明
15:13	A2, A1, A0	R	000	レジスタアドレス
12	RO	R/W	0	アクセスステータス 0: レジスタを読取 / 書込みに設定 1: レジスタを読取専用設定
11	WMC	R/W	0	ウォッチドッグモード・コントロール 0: 通常モード – ウォッチドッグはウィンドウモード。スタンバイモード – ウォッチドッグはタイムアウトモード 1: 通常モード – ウォッチドッグはタイムアウトモード。スタンバイモード – ウォッチドッグはオフモード
10:8	NWP ^[1]	R/W	100	公称ウォッチドッグ期間 000: 8 ms 001: 16 ms 010: 32 ms 011: 64 ms 100: 128 ms 101: 256 ms 110: 1024 ms 111: 4096 ms
7	WOS/SWR	R/W	-	ウォッチドッグ・オフステータス / ソフトウェアリセット 0: WDOFF ピンは LOW、ウォッチドッグモードは WMC ビットが定義 1: WDOFF ピンが HIGH でウォッチドッグはオフになり、ソフトウェアリセット
6	V1S	R	-	V1 ステータス 0: V1 出力電圧が低電圧回復しきい値の 90 % 以上 (V_{uvr} ; – 表 10 参照) 1: V1 出力電圧が低電圧検出しきい値の 90 % 未満 (V_{uvd} ; – 表 10 参照)
5	V2S	R	-	V2 ステータス 0: V2 出力電圧が低電圧リリースしきい値以上 (V_{uvr} ; – 表 10 参照) 1: V2 出力電圧が低電圧検出しきい値未満 (V_{uvd} ; – 表 10 参照)
4	WLS1	R	-	ウェイクアップ 1 ステータス 0: WAKE1 入力電圧がスイッチングしきい値未満 ($V_{th(sw)}$) 1: WAKE1 入力電圧がスイッチングしきい値以上 ($V_{th(sw)}$)
3	WLS2	R	-	ウェイクアップ 2 ステータス 0: WAKE2 入力電圧がスイッチングしきい値未満 ($V_{th(sw)}$) 1: WAKE2 入力電圧がスイッチングしきい値以上 ($V_{th(sw)}$)
2:0	reserved	R	000	

[1] リセット後、ビットはデフォルト値 (100) に設定されます。

6.2.4 Mode_Control レジスタ

表 5. Mode_Control レジスタ

ビット	シンボル	アクセス	パワーオン デフォルト	説明
15:13	A2, A1, A0	R	001	レジスタアドレス
12	RO	R/W	0	アクセスステータス 0: レジスタを読取 / 書込みに設定 1: レジスタを読取専用設定
11:10	MC	R/W	00	モードコントロール 00: スタンバイモード 01: スリープモード 10: 通常モード、V2 オフ 11: 通常モード、V2 オン
9	LHWC ^[1]	R/W	1	リンプホーム警告コントロール 0: リンプホーム警告なし 1: リンプホーム警告を設定 - 次のリセットによって LIMP 出力がオン
8	LHC ^[2]	R/W	0	リンプホームコントロール 0: LIMP ピンをフロートに設定 1: LIMP ピンを LOW
7	ENC	R/W	0	コントロール有効化 0: EN ピンを LOW 1: EN ピンを HIGH (通常モード)
6	LSC	R/W	0	LIN スロープコントロール 0: 通常スロープ、20 kbit/s 1: 低スロープ、10.4 kbit/s
5	WBC	R/W	0	ウェイクバイアス・コントロール 0: WSEn = 0 のとき、WBIAS ピンはフロート、WSEn = 1 のとき、16 ms サンプルング 1: WSEn = 0 のとき、WBIAS ピンは LOW、WSEn = 1 のとき、64 ms サンプルング
4	PDC	R/W	0	配電コントロー 0: 外部 PNP トランジスタ有効化の V1 しきい値電流、負荷電流上昇、 $I_{th(Act)PNP} = 85 \text{ mA}$ 、外部 PNP トランジスタ無効化の V1 しきい値電流、負荷電流減少、 $I_{th(Deact)PNP} = 50 \text{ mA}$ 、 図 7 参照 1: 外部 PNP トランジスタ有効化の V1 しきい値電流、負荷電流上昇、 $I_{th(Act)PNP} = 50 \text{ mA}$ 、外部 PNP トランジスタ無効化の V1 しきい値電流、負荷電流減少、 $I_{th(Deact)PNP} = 15 \text{ mA}$ 、 図 7 参照
3:0	reserved	R	0000	

[1] リセット後、ビット LHWC は「1」に設定

[2] リセット前に LHWC が「1」に設定されている場合、リセット後にビット LHC は「1」に設定

6.2.5 Int_Control レジスタ

表 6. Int_Control レジスタ

ビット	シンボル	アクセス	パワーオン デフォルト	説明
15:13	A2, A1, A0	R	010	レジスタアドレス
12	RO	R/W	0	アクセスステータス 0: レジスタを読取 / 書込みに設定 1: レジスタを読取専用設定
11	V1UIE	R/W	0	V1 低電圧割り込みオン 0: V1 低電圧警告割り込みのリクエスト不可 1: V1 低電圧警告割り込みのリクエスト可能
10	V2UIE	R/W	0	V2 低電圧割り込みオン 0: V2 低電圧警告割り込みのリクエスト不可 1: V2 低電圧警告割り込みのリクエスト可能
9	STBCL1	R/W	0	LIN1 スタンバイコントロール 0: SBC が通常モード (MC = 1x) のとき: LIN1 はアクティブモード。V _{BAT} の値に関係なくウェイクアップフラグ (RXDL1 で確認可能) はクリア。 SBC がスタンバイ / スリープモード (MC = 0x) のとき: LIN1 はオフモード。バスウェイクアップ検出はオフ。LIN1 ウェイクアップ割り込みはリクエスト不可 1: LIN1 は低電力モードで、SBC モードに関係なく (MC = xx)、バスウェイクアップ検出はオン。LIN1 ウェイクアップ割り込みはリクエスト可能。
8	STBCL2	R/W	0	LIN2 スタンバイコントロール 0: SBC が通常モード (MC = 1x) のとき: LIN2 はアクティブモード。V _{BAT} の値に関係なくウェイクアップフラグ (RXDL2 で確認可能) はクリア。 SBC がスタンバイ / スリープモード (MC = 0x) のとき: LIN2 はオフモード。バスウェイクアップ検出はオフ。LIN2 ウェイクアップ割り込みはリクエスト不可 1: LIN2 は低電力モードで、SBC モードに関係なく (MC = xx)、バスウェイクアップ検出はオン。LIN2 ウェイクアップ割り込みはリクエスト可能。
7:6	WIC1	R/W	00	ウェイクアップ割り込み 1 コントロール 00: ウェイクアップ割り込み 1 オフ 01: 立上りエッジでウェイクアップ割り込み 1 10: 立下りエッジでウェイクアップ割り込み 1 11: 両方のエッジでウェイクアップ割り込み 1
5:4	WIC2	R/W	00	ウェイクアップ割り込み 2 コントロール 00: ウェイクアップ割り込み 2 オフ 01: 立上りエッジでウェイクアップ割り込み 2 10: 立下りエッジでウェイクアップ割り込み 2 11: 両方のエッジでウェイクアップ割り込み 2

表 6. Int_Control レジスタ

ビット	シンボル	アクセス	パワーオン デフォルト	説明
3	STBCC	R/W	0	CAN スタンバイコントロール 0: SBC が通常モード (MC = 1x) のとき: CAN はアクティブモード。V2 出力電圧に関係なくウェイクアップフラグ (RXDC で確認可能) はクリア。 SBC がスタンバイ / スリープモード (MC = 0x) のとき: CAN はオフモード。バスウェイクアップ検出はオフ。CAN ウェイクアップ割り込みはリクエスト不可。 1: CAN は低電力モードで、SBC モードに関係なく (MC = xx)、バスウェイクアップ検出はオン。CAN ウェイクアップ割り込みはリクエスト可能。
2	RTHC	R/W	0	リセットしきい値コントロール 0: リセットしきい値は V1 低電圧検出電圧の 90 % に設定 (V _{uvd} 、 表 10 参照) 1: リセットしきい値は V1 低電圧検出電圧の 70 % に設定 (V _{uvd} 、 表 10 参照)
1	WSE1	R/W	0	WAKE1 サンプルオン 0: 継続的にサンプリング 1: WAKE1 のサンプリングを WBIAS と同期化 (サンプルレートは WBC がコントロール)
0	WSE2	R/W	0	WAKE2 サンプルオン 0: 継続的にサンプリング 1: WAKE2 のサンプリングを WBIAS と同期化 (サンプルレートは WBC がコントロール)

6.2.6 Int_Status レジスタ

表 7. Int_Status レジスタ [1]

ビット	シンボル	アクセス	パワーオン デフォルト	説明
15:13	A2, A1, A0	R	011	レジスタアドレス
12	RO	R/W	0	アクセスステータス 0: レジスタを読取 / 書込みに設定 1: レジスタを読取専用設定
11	V1UI	R/W	0	V1 低電圧割り込み 0: V1 低電圧警告割り込み保留なし 1: V1 低電圧警告割り込み保留
10	V2UI	R/W	0	V2 低電圧割り込み 0: V2 低電圧警告割り込み保留なし 1: V2 低電圧警告割り込み保留
9	LWI1	R/W	0	LIN ウェイクアップ割り込み 1 0: LIN1 ウェイクアップ割り込み保留なし 1: LIN1 ウェイクアップ割り込み保留
8	LWI2	R/W	0	LIN ウェイクアップ割り込み 2 0: LIN2 ウェイクアップ割り込み保留なし 1: LIN2 ウェイクアップ割り込み保留
7	CI	R/W	0	周期的割り込み 0: 周期的割り込み保留なし 1: 周期的割り込み保留
6	WI1	R/W	0	ウェイクアップ割り込み 1 0: ウェイクアップ割り込み 1 保留なし 1: ウェイクアップ割り込み 1 保留
5	POSI	R/W	1	パワーオンステータス割り込み 0: パワーオン割り込み保留なし 1: パワーオン割り込み保留
4	WI2	R/W	0	ウェイクアップ割り込み 2 0: ウェイクアップ割り込み 2 保留なし 1: ウェイクアップ割り込み 2 保留
3	CWI	R/W	0	CAN ウェイクアップ割り込み 0: CAN ウェイクアップ割り込み保留なし 1: CAN ウェイクアップ割り込み保留
2:0	reserved	R	000	

[1] 割り込みは、Int_Status レジスタの適切なビットに「1」を書き込むことでクリアできます。

6.3 オンチップオシレータ

オンチップオシレータは、オンチップウォッチドッグと内部タイマーにタイミングリファレンスを提供します。オンチップオシレータには、V_{BAT} に接続されている内部電源から電力が供給されます (V1/V2 からは独立)。

6.4 ウォッチドッグ (UJA1078A/xx/WD バージョン)

ウォッチドッグには、ウィンドウ、タイムアウト、オフの3つのモードがあります。ウォッチドッグ期間は、WD_and_Status レジスタの NWP コントロールビットでプログラムします (表 4 参照)。デフォルトのウォッチドッグ期間は 128 ms です。

WD_and_Status レジスタへのすべての書込みアクセスがウォッチドッグ・トリガーイベントになり、トリガーによってウォッチドッグのタイマーはリセットされます。

ウィンドウモードでは、クローズドのウォッチドッグウィンドウ (すなわち $t_{\text{trig(wd)1}}$ 前のウィンドウの前半) におけるウォッチドッグトリガー・イベントによって、SBC リセットが生成されます。タイムアウトモードまたはウィンドウモードの前、もしくはオープンなウォッチドッグウィンドウ ($t_{\text{trig(wd)1}}$ の後、 $t_{\text{trig(wd)2}}$ の前) 内でウォッチドッグタイムがオーバーフローする前にウォッチドッグがトリガーされると、タイマーはすぐに再スタートします。

システムは、下記のウォッチドッグイベントによってすぐにリセットされます。

- ウィンドウモードでウォッチドッグがオーバーフローした場合
- ウィンドウモードでウォッチドッグ期間の前半にウォッチドッグがトリガーされた場合
- タイムアウトモードで、周期的割り込み (CI) が保留中にウォッチドッグがオーバーフローした場合
- WDOFF ピンの状態が通常モードまたはスタンバイモードに切り替わった場合
- ウォッチドッグモード・コントロールビット (WMC) の状態が通常モードに切り替わった場合

ウォッチドッグリセットの後 (ショートリセット、6.5.1 章 / 表 11 参照)、デフォルトのウォッチドッグ期間が選択されます ($NWP = 100$)。ウォッチドッグは、WDOFF ピンを HIGH にすることで完全にオフにできます。また、スタンバイモードで WMC ビットを「1」に設定することでもオフにできます。WMC の設定でウォッチドッグをオフにした場合、保留中の割り込みによって再度オンになります。

保留中の割り込みがある場合、スタンバイモードで WMC ビットの状態を変更することはできません。割り込みが保留中に WMC を変更しようとしても、すべて無視されます。

6.4.1 ウォッチドッグ - ウィンドウモード時の挙動

ウィンドウモードのとき、ウォッチドッグは継続的に実行されます。

ウォッチドッグがオーバーフローするか、ウォッチドッグ期間の前半でトリガーが発生した場合 (ウォッチドッグ期間開始後、 $t_{\text{trig(wd)1}}$ より前)、システムリセットが実行されます。ウォッチドッグ期間の開始後、 $t_{\text{trig(wd)2}}$ 内にトリガーが発生しない場合、ウォッチドッグはオーバーフローします。

ウォッチドッグ期間の後半にトリガーが発生した場合 (ウォッチドッグ期間開始後、最短 $t_{\text{trig(wd)1}}$ で、 $t_{\text{trig(wd)2}}$ より前)、ウォッチドッグはリセットされます。

WDOFF ピンが LOW、SBC が通常モード、ウォッチドッグモード・コントロールビット (WMC) が「0」に設定されているとき、ウォッチドッグはウィンドウモードです。

6.4.2 ウォッチドッグ – タイムアウトモード時の挙動

タイムアウトモードのとき、ウォッチドッグは継続的に実行されます。ただし、ウォッチドッグトリガーによっていつでもリセットできます。ウォッチドッグがオーバーフローすると、CI（周期的割り込み）ビットが設定されます。CI がすでに保留中の場合は、システムリセットが実行されます。

WDOFF ピンが LOW であると同時に下記の条件において、ウォッチドッグはタイムアウトモードです。

- SBC がスタンバイモードでビット WMC = 0 の場合、または
- SBC が通常モードでビット WMC = 1 の場合

6.4.3 ウォッチドッグ – オフモード時の挙動

オフモード時、ウォッチドッグは無効化の状態となります。

下記の条件において、ウォッチドッグはオフモードです。

- SBC がオフ、過熱、スリープのいずれかのモードの場合
- SBC がスタンバイモードでビット WMC = 1 の場合
- SBC がいずれかのモードで、WDOFF ピンが HIGH の場合

6.5 システムリセット

下記のイベントによって、SBC でシステムリセットが実行されます。

- V1 低電圧（リセットパルス長は、RSTN ピンで外部プルアップレジスタによって指定）
- 外部リセット（RSTN ピンを強制的に LOW）
- ウォッチドッグオーバーフロー（ウィンドウモード）
- ウォッチドッグオーバーフロー（タイムアウトモード、CI 保留中）
- ウォッチドッグのトリガーが早すぎた場合（ウィンドウモード）
- WMC 値が変更された場合（通常モード）
- WDOFF ピンの状態が変更された場合
- INTN ピンが LOW で、SBC がスリープモードに切り替わった場合（MC は「01」、[表 5](#) 参照）
- STBCC = STBCL1 = STBCL2 = WIC1 = WIC2 = 0 で、SBC がスリープモードに切り替わった場合（MC は「01」、[表 5](#) 参照）
- ウェイクアップが保留中で、SBC がスリープモードに切り替わった場合（MC は「01」、[表 5](#) 参照）
- ソフトウェアリセット（SWR = 1）
- SBC の過熱モードが終了した場合（リセットパルス長は、RSTN ピンで外部プルアップレジスタによって指定）

タイムアウトモードで CI がまだ保留になっていないとき、ウォッチドッグオーバーフローによって CI がリクエストされます。

UJA1078A は、リセットイベントの処理に 3 つのシグナルを提供します。

- RSTN ピン入出力 – グローバル ECU システムリセットの実行または外部リセットの強制実行
- EN ピン、フェールセーフ・グローバル有効化出力
- リンプピン、フェールセーフ・リンプホーム出力

6.5.1 RSTN ピン

マイクロコントローラによって最低 t_{ftr} の間 RSTN ピンが LOW となった場合、これをトリガーイベントとしてシステムリセットが実行されます(外部リセット)。システムリセットが内部的なトリガーで実行された場合、SBC によって RSTN ピンでリセットパルスが出力されます。

システムリセットが V1 低電圧イベント (6.6.2 章参照) または SBC のオフモードの終了 ($V_{BAT} > V_{th(det)pon}$) か過熱モードの終了 (温度 $< T_{th(rel)otp}$) によって生成された場合、リセットパルス幅 ($t_{w(rst)}$) を選択できます (ショートまたはロング)。RSTN ピンと V1 ピンの間で $900 \Omega \pm 10\%$ レジスタを接続するとリセットパルスはショートが選択され、接続されていない場合はロングが選択されます (表 11 参照)。

それ以外のすべての場合 (ウォッチドッグに関係するリセットイベントなど)、リセットパルス幅はショートになります。

6.5.2 EN 出力

EN ピンは、外部ハードウェアのコントロールに使用するか (パワーコンポーネントなど)、システムが正常に実行されている際の汎用出力として使用することができます。

通常モードおよびスタンバイモードのとき、マイクロコントローラは SPI インターフェースを通じて EN コントロールビット (Mode_Control レジスタの ENC ビット、表 5 参照) を設定できます。ENC = 1 で MC = 10 または 11 のとき、EN ピンは HIGH です。EN ピンは、リセットイベントによって LOW になります。EN ピンの挙動は、表 5 を参照してください。

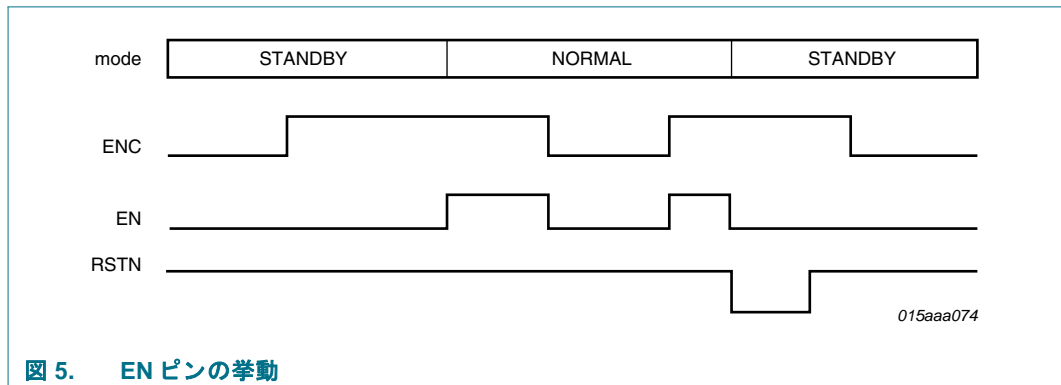


図 5. EN ピンの挙動

6.5.3 LIMP 出力

LIMP ピンは、ECU での障害発生時にいわゆる「リンプホーム (非常時回避)」ハードウェアを有効化するために使用します。検出可能な障害状況には、SBC 過熱イベント、ウォッチドッグサービスの損失、ピン RSTN または V1 の LOW での固定化、ユーザーによるリセットイベントまたは外部リセットイベントなどがあります。

LIMP ピンは、バッテリーに関連する、アクティブ LOW のオープンドレイン出力です。

システムリセットによって、リンプホーム警告コントロールビット (Mode_Control レジスタの LHWC ビット、表 5 参照) が設定されます。システムリセットの生成時に LHWC がすでに設定されている場合は LHC ビットが設定され、LIMP ピンが強制的に LOW になります。通常動作時に LIMP 出力が有効化されないようにするため、アプリケーションでは各リセットイベントの後に LHWC をクリアする必要があります。

過熱モードでは常に LHC ビットが設定されるので、LIMP 出力も常にアクティブとなります。アプリケーションが LIMP 出力の原因となったイベントから回復した場合、LHC をクリアし、LIMP 出力を無効化できます。

6.6 電源

6.6.1 バッテリーピン (BAT)

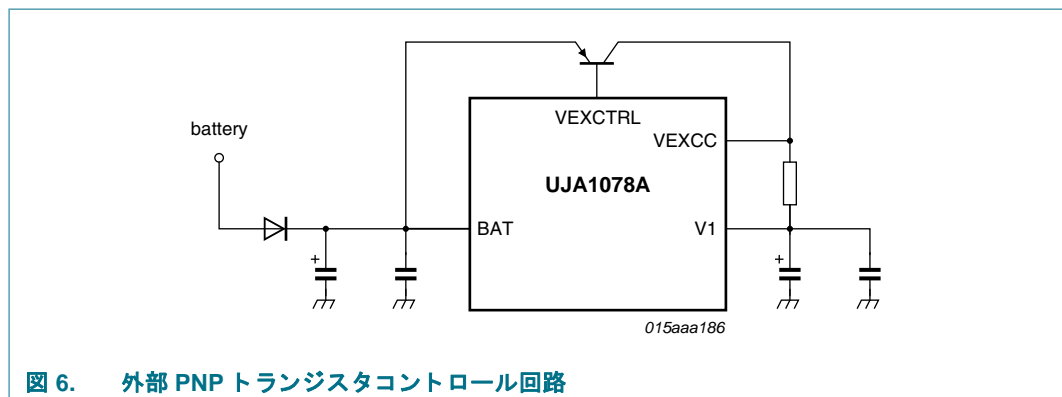
SBC には、単一の電源ピン BAT が含まれています。デバイスを負電圧から保護するために、直列で外部ダイオードが必要となります。動作範囲は 4.5 V ~ 28 V で、最大 40 V までサポートできます。

BAT ピンの電圧がパワーオフ検出しきい値 ($V_{th(det)poff}$) を下回った場合、SBC は即座にオフモードに切り替わるので、電圧レギュレータと内部ロジックがシャットダウンされます。電圧がパワーオン検出しきい値を超えると、SBC はオフモードからスタンバイモードに切り替わります。オフモードが終了すると、Int_Status レジスタのビットが「1」に設定されます。

6.6.2 電圧レギュレータ V1

電圧レギュレータ V1 は、マイクロコントローラ、その周辺装置、追加トランシーバへの供給を目的としています。V1 は BAT ピンから供給され、UJA1078A のバージョンによって 3.3 V または 5 V で最大 250 mA を提供します。

外気温度が高い場合や平均電流が高い場合にデバイスが過熱することを防ぐため、外部 PNP トランジスタを接続できます (図 6)。この構成では、電力損失は SBC と PNP トランジスタ間で配分されます。電力損失の配分は、Mode_Control レジスタ (表 5) の PDC ビットによって規定されます。PDC = 0 の場合、 $T_{vj} = 150 \times C$ で負荷電流が 85 mA に達すると (PDC = 1 の場合は 50 mA)、PNP トランジスタが有効化されます。このトランジスタが追加の負荷電流を供給している間、V1 は 85 mA を継続的に供給します (図 7/ 図 8 参照)。



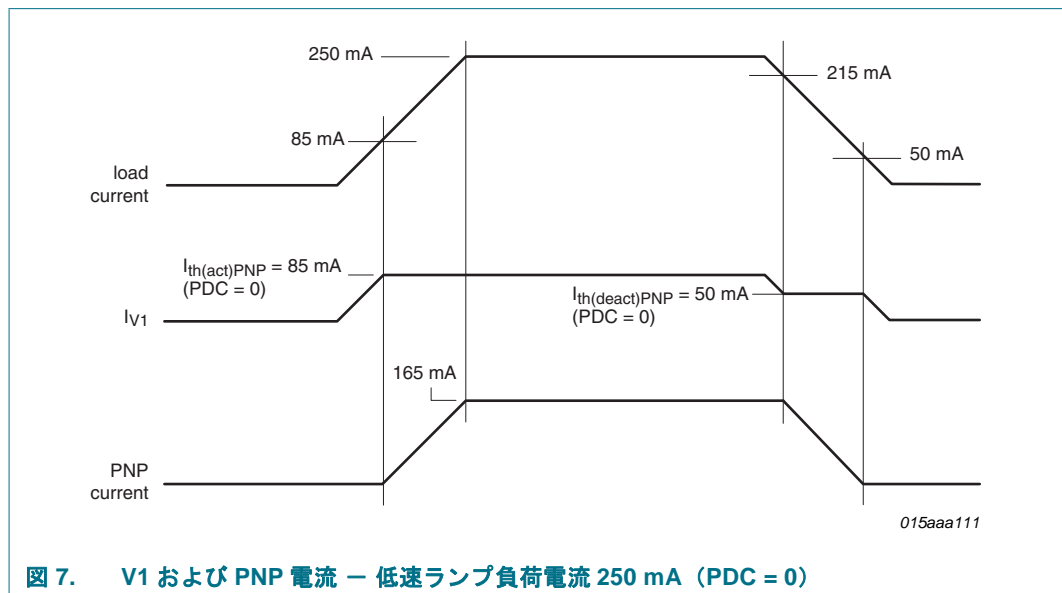


図 7. V1 および PNP 電流 - 低速ランプ負荷電流 250 mA (PDC = 0)

上図 (図 7) は、V1 および PNP トランジスタが PDC = 0 のときにどのように 250 mA の低速ランプ負荷電流を供給するのかを示しています。追加の負荷電流が必要な場合は、PNP トランジスタが供給します (トランジスタの上限電流まで)。負荷電流が上昇を続けた場合、V1 は指定した PDC しきい値を超えます (最大 250 mA)。

高速ランプ負荷電流の場合、V1 は PNP トランジスタがオンになるまで、必要な負荷電流を供給します (最大 250 mA)。トランジスタがオンになると V1 は 85 mA (PDC = 0) を供給し、トランジスタによって負荷電流のバランスが取られます (図 8 参照)。

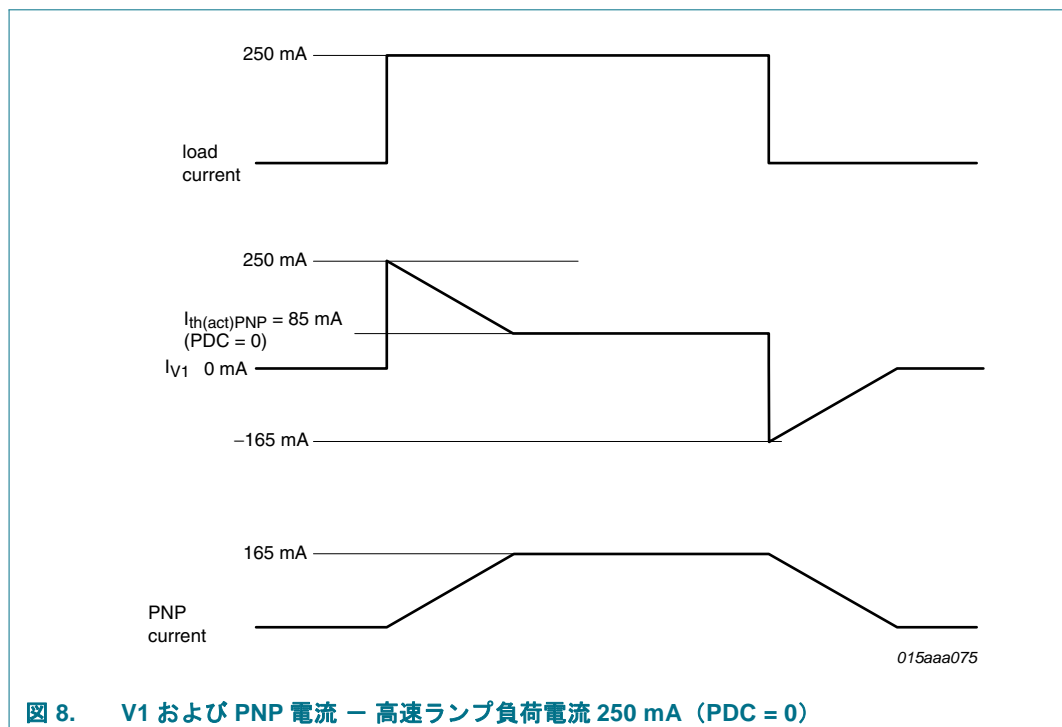


図 8. V1 および PNP 電流 - 高速ランプ負荷電流 250 mA (PDC = 0)

ショート回路保護のため、V1 ピンと VEXCC ピンの間にレジスタを接続し、電流を監視する必要があります。このレジスタによって、外部トランジスタからの供給電流が制限されます。V1 ピンと VEXCC ピンの間の電圧差異が $V_{th(activ)lim}$ に達すると、PNP 電流によって有効化しきい値電圧が制限され、トランジスタ電流はそれ以上上昇しません。

このレジスタの値を計算する際には、トランジスタの熱的パフォーマンスを考慮する必要があります。テストで使用した BCP52-16 (NXP セミコンダクターズ) には、 $3.3\ \Omega$ レジスタが使われました。ただし、トランジスタの選択が決め手になるわけではありません。一般的に、電流増幅率 (β) が 60 ~ 500 の PNP トランジスタであれば、どのトランジスタでも使用できます。

外部 PNP トランジスタを使用しない場合、VEXCC ピンは V1 に接続し、VEXCTRL ピンはオープンの状態にしておくことができます。

この拡張性に優れた電圧レギュレータのコンセプトのメリットの 1 つは、外部 PNP の使用時に PCB レイアウトの制約がないことです。レギュレータループは UJA1078A 内で実現されるので、UJA1078A と外部 PNP 間の距離がレギュレータループの安定性に影響を与えることはありません。したがって最適な熱分散のため、UJA1078A と PNP トランジスタの間は最大限の距離をとることを推奨します。

V1 の出力電圧は継続的に監視され、低電圧イベントが発生するとシステムリセット・シグナルが生成されます。V1 の電圧が低電圧検出電圧 (V_{uvd} 、[表 10](#) 参照) を下回ると、システムリセットが生成されます。リセットのしきい値 (公称値の 90 % または 70 %) は、Int_Control レジスタのリセットしきい値コントロールビット (RTHC) を通じて設定されます ([表 6](#))。さらに、公称出力電圧の 90 % で低電圧警告 (V1UI 割り込み) が生成されます。V1 のステータスは、WD_and_Status レジスタのビットで確認できます ([表 4](#))。

6.6.3 電圧レギュレータ V2

電圧レギュレータ V2 は、5 V 電源を提供する高速 CAN トランシーバ用に予約されています。

V2 のオン / オフは、Mode_Control レジスタ ([表 5](#)) の MC ビットを通じて行えます。出力電圧が公称値の 90% を下回ると、低電圧警告 (割り込み) が生成されます。V2 ステータスは、通常モードにおいて WD_and_Status レジスタ ([表 5](#)) の V2S ビットで確認できます (他のすべてのモードでは V2S = 1)。

V2 をオフにすることで (MC = 10)、内部 CAN トランシーバへ外部電源または V1 から供給できます。この代替電圧ソースは、V2 ピンに接続しなければなりません。すべての内部機能は (低電圧保護機能など)、通常どおり機能します。

6.7 CAN トランシーバ

UJA1078A CAN トランシーバのアナログセクションは、TJA1042/TJA1043 に統合されているセクションに対応しています。自動車業界の高速 (最高 1 Mbit/s) CAN アプリケーション向けにデザインされている TJA1049 は、CAN プロトコルコントローラへの差動入出力機能を提供します。

6.7.1 CAN の動作モード

6.7.1.1 アクティブモード

下記の条件において、CAN トランシーバはアクティブモードになります。

- SBC が通常モードの場合 (MC = 10 または 11)
- トランシーバがオンの場合 (ビット STBCC = 0、[表 6](#) 参照)

および

- V2 がオンで、出力電圧が低電圧しきい値 V_{uvd} 以上の場合、または
- V2 がオフ。ただし、V2 ピンに接続されている外部電圧ソース、V1 が、低電圧しきい値以上の場合 ([6.6.3 章](#)参照)

CAN アクティブモードでは、トランシーバは CANH ピンと CANL ピンを通じてデータの送受信を行えます。バスラインのアナログデータは差動レシーバによってデジタルデータに変換され、RXDC ピンへの出力となります。CAN コントローラが生成したデジタルデータおよび TXDC ピンの入力、トランスミッタによってバスラインを通じた伝送に適した信号に変換されます。

6.7.1.2 低電力モード / オフモード

ビット STBCC = 1 のとき、CAN トランシーバはバスウェイクアップ検出がオンになった状態で低電力モードになります (表 6 参照)。低電力モードでは、CANH ピンと CANL ピンを通じてリモートから CAN トランシーバのウェイクアップを実行できます。

SBC がスタンバイモードかスリープモードで (MC = 00 または 01)、ビット STBCC = 0 のとき、CAN トランシーバはオフモードになります。オフモードでは、静止電流の消費を最小限におさえるため、CAN トランシーバは完全にパワーダウンされます。

車載機器の過渡電圧や電磁干渉 (EMI) などによって発生する不要なウェイクアップイベントは、レシーバ入力のフィルタによって防止されます。

ウェイクアップフィルタをパスしてウェイクアップイベントをトリガーするには、ウェイクアップのタイムアウト時間内に ($t_{to(wake)}$)、CAN バスでレセッシブ - ドミナント - レセッシブ - ドミナントのシーケンスが発生しなければなりません (図 9 参照 - レセッシブフェーズとドミナントフェーズの間に追加のパルスが発生する場合があります)。CAN トランシーバのウェイクアップのための最小レセッシブ / ドミナントバス時間 ($t_{wake(busrec)min}$ および $t_{wake(busdom)min}$) が満たされていることが必要です (表 11 参照)。

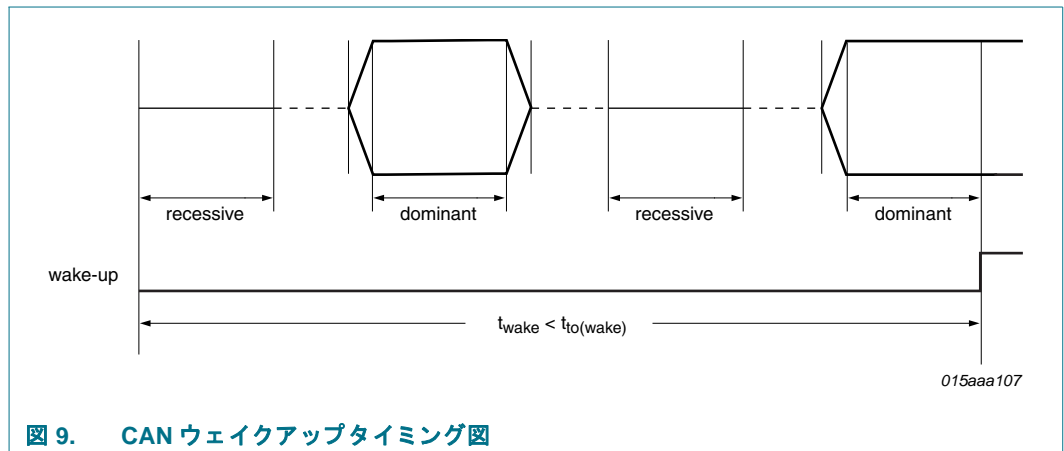


図 9. CAN ウェイクアップタイミング図

6.7.2 スプリット回路

SPLIT ピンは、 $0.5V_{V2}$ の DC 安定化電圧を提供します。このピンは CAN のアクティブモード以外では利用できず、CAN 低電力モードやオフモードではフロートとなります。SPLIT ピンをスプリットターミネーションのセンタータップに接続することで、 V_{SPLIT} 回路を使用してレセッシブ・コモンモード電圧を安定化させることができます (図 10 参照)。

バスラインからグラウンドへの大きなリーク電流を生成する、供給されていないネットワーク上にトランシーバが存在する場合、レセッシブバス電圧が $0.5V_{V2}$ を下回る場合があります。このようなとき、スプリット回路によってレセッシブ電圧が $0.5V_{V2}$ で安定化されます。したがって、転送が開始されても電磁放射 (EME) パフォーマンスの低下につながるコモンモード・シグナルのステップは生成されません。

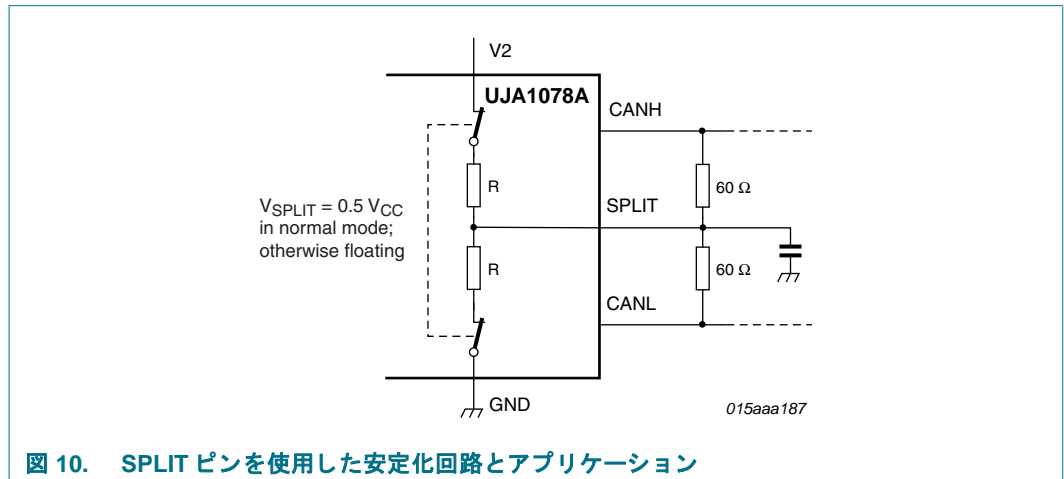


図 10. SPLIT ピンを使用した安定化回路とアプリケーション

6.7.3 フェールセーフ機能

6.7.3.1 TXDC ドミナントタイムアウト機能

TXDC ピンが LOW に設定されると、「TXDC ドミナントタイムアウト」タイマーが起動します。TXDC ピンの LOW 状態が TXDC ドミナントタイムアウト時間 ($t_{to(dom)TXDC}$) よりも長くなるとトランスミッタはオフになり、バスラインはレセツプ状態にリリースされます。この機能によって、バスラインが永続的にドミナント状態となりすべてのネットワーク通信がブロックされてしまうことで、ハードウェアやソフトウェアアプリケーションでエラーが発生することを防止できます。TXDC ピンが HIGH に設定されると、TXDC ドミナントタイムアウト・タイマーはリセットされます。TXDC ドミナントタイムアウト時間によって、最小ビットレート 10 kbit/s も規定されます。

6.7.3.2 TXDC ピンのプルアップ

ピンがフロート状態のままとなった場合に、安全が規定された状態を確保するため、TXDC ピンには V_{V1} への内部プルアップがあります。

6.8 LIN1/LIN2 トランシーバ

TUJA1078A LIN トランシーバのアナログセクションは TJA1021 に統合されているアナログセクションに由来していますが、TJA1021 とは違い、UJA1078A には内部スレーブ終端レジスタが含まれていません。このため、マスタ/スレーブ両方のアプリケーションに外部の終端レジスタが必要となります (図 11/ 図 12 参照)。

このトランシーバは、LIN マスタ/スレーブプロトコル・コントローラと LIN の物理バス間のインターフェースで、1 kbd から 20 kbd までのボーレートを使用する車載サブネットワークを主な対象とし、LIN 2.0/LIN 2.1/SAE J2602 に対応しています。

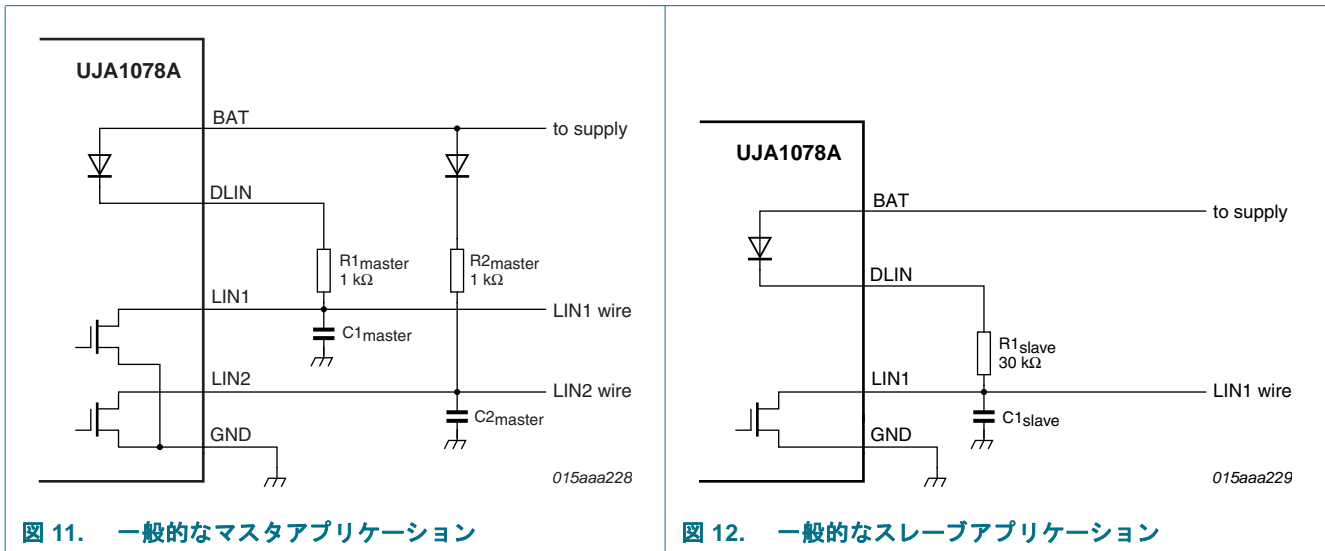


図 11. 一般的なマスタアプリケーション

図 12. 一般的なスレーブアプリケーション

6.8.1 LIN の動作モード

6.8.1.1 アクティブモード

下記の条件において、LIN トランシーバはアクティブモードになります。

- SBC が通常モード (MC = 10 または 11)、および
- トランシーバがオン (STBCL1 および STBCL2 の両方またはいずれかが「0」、[表 6](#) 参照)、および
- バッテリー電圧 (V_{BAT}) が LIN 低電圧回復しきい値 V_{uvr(LIN)} を超えている場合

LIN アクティブモードでは、トランシーバは LIN バスピンを通じてデータの送受信を行います。

レシーバは LIN バスピン (LIN1 および LIN2) でデータストリームを検出し、これらのデータを RXDL1 および RXDL2 ピンを通じてマイクロコントローラへ転送します ([図 1](#) 参照) – RXDL1/RXDL2 で LIN レセプティブは HIGH レベル、LIN ドミナントは LOW レベルによって示されます。

TXDL 入力 (TXDL1 および TXDL2) でのプロトコルコントローラの転送データストリームは、トランスミッタによって EME が最小限となるように最適化されたスルーレートと波形で、バスシグナルに変換されます。

6.8.1.2 低電力モード / オフモード

ビット STBCLx = 1 のとき、LIN トランシーバはバスウェイクアップ検出がオンになった状態で低電力モードになります ([表 6](#) 参照)。低電力モードでは、LIN1 ピンと LIN2 ピンを通じてリモートから LIN トランシーバのウェイクアップを実行できます。

SBC がスタンバイモードかスリープモードで (MC = 00 または 01)、ビット STBCLx = 0 のとき、LIN トランシーバはオフモードになります。オフモードでは、静止電流の消費を最小限におさえるため、LIN トランシーバは完全にパワーダウンされます。

車載機器の過渡電圧や電磁干渉 (EMI) などによって発生する不要なウェイクアップイベントは、レシーバ入力のフィルタによって防止されます。ウェイクアップイベントは、少なくとも LIN トランシーバのウェイクアップの最小ドミナントバス時間 (t_{wake(busdom)}min) の間は有効でなければなりません ([表 11](#) 参照)。

6.8.2 フェールセーフ機能

6.8.2.1 全般的なフェールセーフ機能

下記のフェールセーフ機能が実装されています。

- ピンがフロート状態のままとなった場合に、安全が規定された状態を確保するため、TXDL1 ピンおよび TXDL2 ピンには V_{V1} への内部プルアップがあります。
- BAT ピンへのショート回路に対してトランスミッタを保護するため、トランスミッタ出力ステージの電流は制限されます。
- 電力の損失 (BAT ピンおよび GND ピン) によるバスラインやマイクロコントローラへの影響はありません。バスからの逆電流はありません。

6.8.2.2 TXDL ドミナントタイムアウト機能

TXDL ドミナントタイムアウト・タイマー回路によって、ハードウェアかソフトウェアアプリケーション (または両方) の障害により TXDL1 または TXDL2 が永続的に LOW となり、バスラインが永続的にドミナント状態 (すべてのネットワーク通信がブロックされる状態) になることが防止されます。このタイマーは、TXDL ピンのネガティブエッジがトリガーとなります。TXDL ピンの LOW 状態が TXDL ドミナントタイムアウト時間 ($t_{to(dom)TXDL}$) よりも長くなるとトランスミッタはオフになり、バスラインはレセシブ状態になります。このタイマーは、TXDL ピンのポジティブエッジがトリガーとなります。

6.9 ローカルウェイクアップ入力

SBC には、2つのローカルウェイクアップ・ピンがあります (WAKE1、WAKE2)。これらのウェイクアップピンのエッジ感度 (立上り、立下り、両方) は、Int_Control レジスタの WIC1 ビットおよび WIC2 ビットを通じて個別に設定できます (表 6 参照)。これらのビットを使用して、ウェイクアップピンによってウェイクアップをオフにすることも可能です。ウェイクアップをオンにすると、いずれかのピンの有効なウェイクアップイベントによって、スタンバイモードまたは通常モードでウェイクアップ割り込みが生成されます。SBC がスリープモードの場合、ウェイクアップイベントが発生すると SBC はウェイクアップしてスタンバイモードに切り替わります。ウェイクアップピンのステータスはレジスタのウェイクアップレベル・ステータスビット (WLS1、WLS2) で読み取れます (表 4 参照)。

WLS1 ビットと WLS2 ビットは、少なくともいずれかのウェイクアップ割り込みがオンの場合にのみ (WIC1 \neq 00 または WIC2 \neq 00)、アクティブとなります。

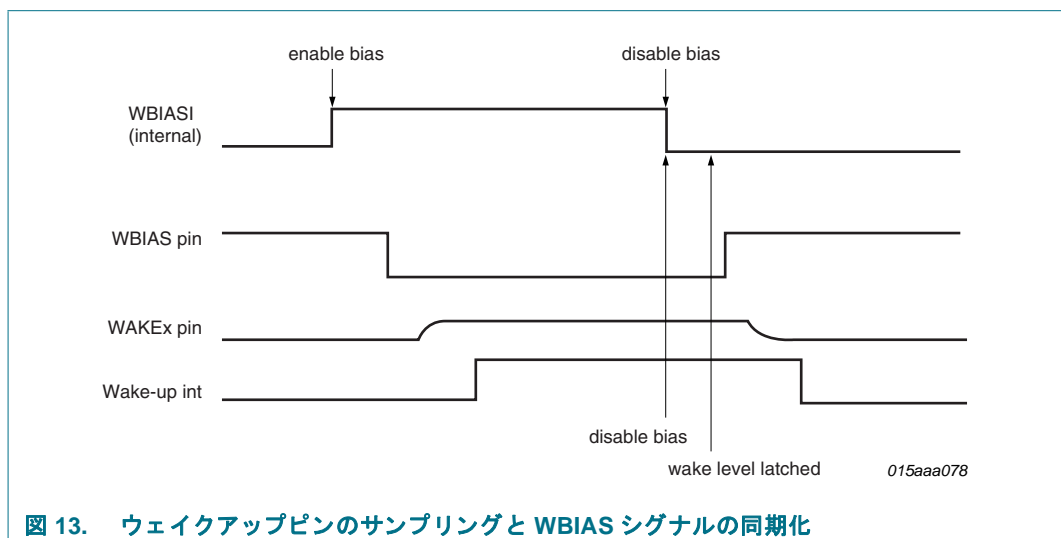
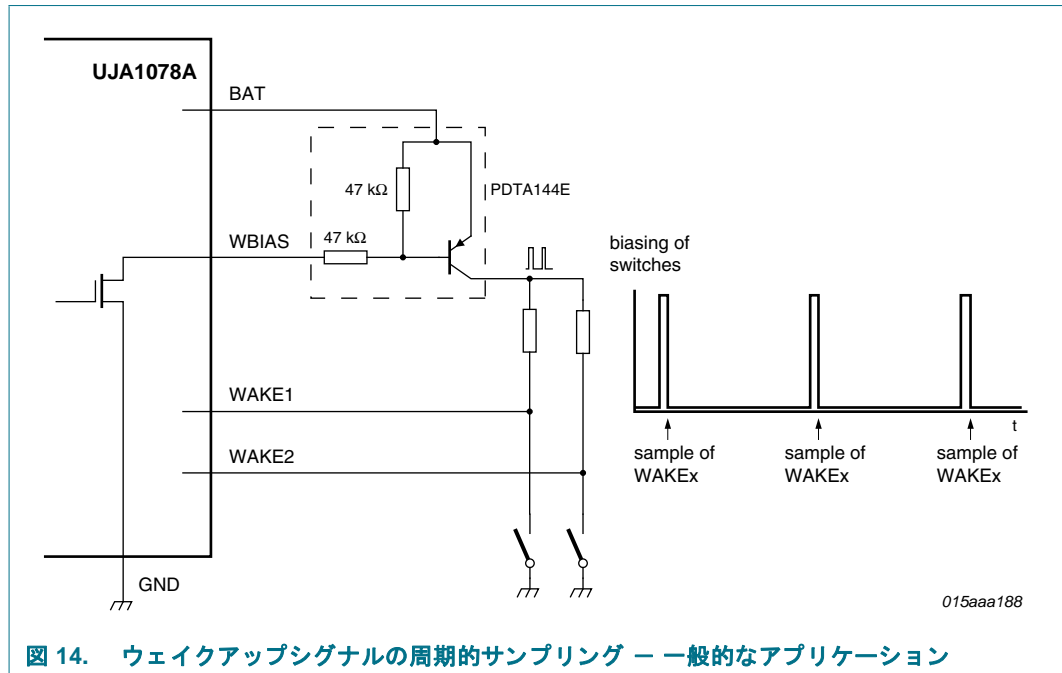


図 13. ウェイクアップピンのサンプリングと WBIAS シグナルの同期化

Int_Control レジスタの WSE1 ビットと WSE2 ビットを「1」に設定することで、ウェイクアップピンのサンプリングを WBIAS シグナルと同期化できます (WSE_x = 0 の場合、ウェイクアップピンは継続的にサンプリング)。サンプリングは、WBIAS の立上りエッジで実行されます (図 13 参照)。サンプリング時間 (16 ms または 64 ms) は、Mode_Control レジスタの Wake Bias Control (WBC) ビットで選択します。

ウェイクアップ入力の周期的なサンプリングを実装した一般的な回路を図 14 に示します。



6.10 割り込み出力

INTN ピンは、アクティブ LOW、オープンドレインの割り込み出力で、保留中の割り込みが少なくとも 1 つある場合に LOW となります。割り込みは、Int_Status レジスタで対応するビットに「1」を書き込むことでクリアできます (表 7 参照)。スタンバイモードで LWI1 ビット、LWI2 ビット、CWI ビットをクリアしてもクリアされるのは割り込みステータスビットのみで、保留中のウェイクアップはクリアされません。保留中のウェイクアップは、モードが通常モードで、対応するスタンバイコントロールビット (STBCC、STBCL1、STBCL2 のいずれか) が「0」のときにクリアされます。

ウォッチドッグを有するデバイスの場合、SBC がスタンバイモードか通常モードのときに (ただし、ピン WDOFF = LOW)、ウォッチドッグがタイムアウトモードに切り替わると、CI (周期的割り込み) はオンになります。タイムアウトモードでウォッチドッグがオーバーフローすると、CI が生成されます。

CI は、タイムアウトモードでウォッチドッグがオーバーフローしたことをマイクロコントローラへ通知するために生成されます。CI によって、マイクロコントローラは μC スタンバイモードからウェイクアップします。Int_Status レジスタからのポーリング後、マイクロコントローラはアプリケーションが周期的ウェイクアップモードであることを認識し、CAN および LIN に対するチェックを実行してから、μC スタンバイモードに戻ります。

6.10.1 過熱保護

通常モードおよびスタンバイモードでは SBC チップの温度が監視され、過熱状態となった場合は過熱モードに切り替わり、RSTN ピンが LOW となり、リンプホームがオンになります。また、電圧レギュレータおよび CAN トランスミッタと LIN トランスミッタはス

イッチオフとなります ([6.1.6 章「過熱モード」](#)参照)。温度が過熱時シャットダウンしきい値を下回ると、SBC はスタンバイモードになります。過熱シャットダウンしきい値は 165 °C ~ 200 °C です。

7. 絶対最大定格

Table 8. 絶対最大定格

絶対最大定格 (IEC 60134) に基づく。

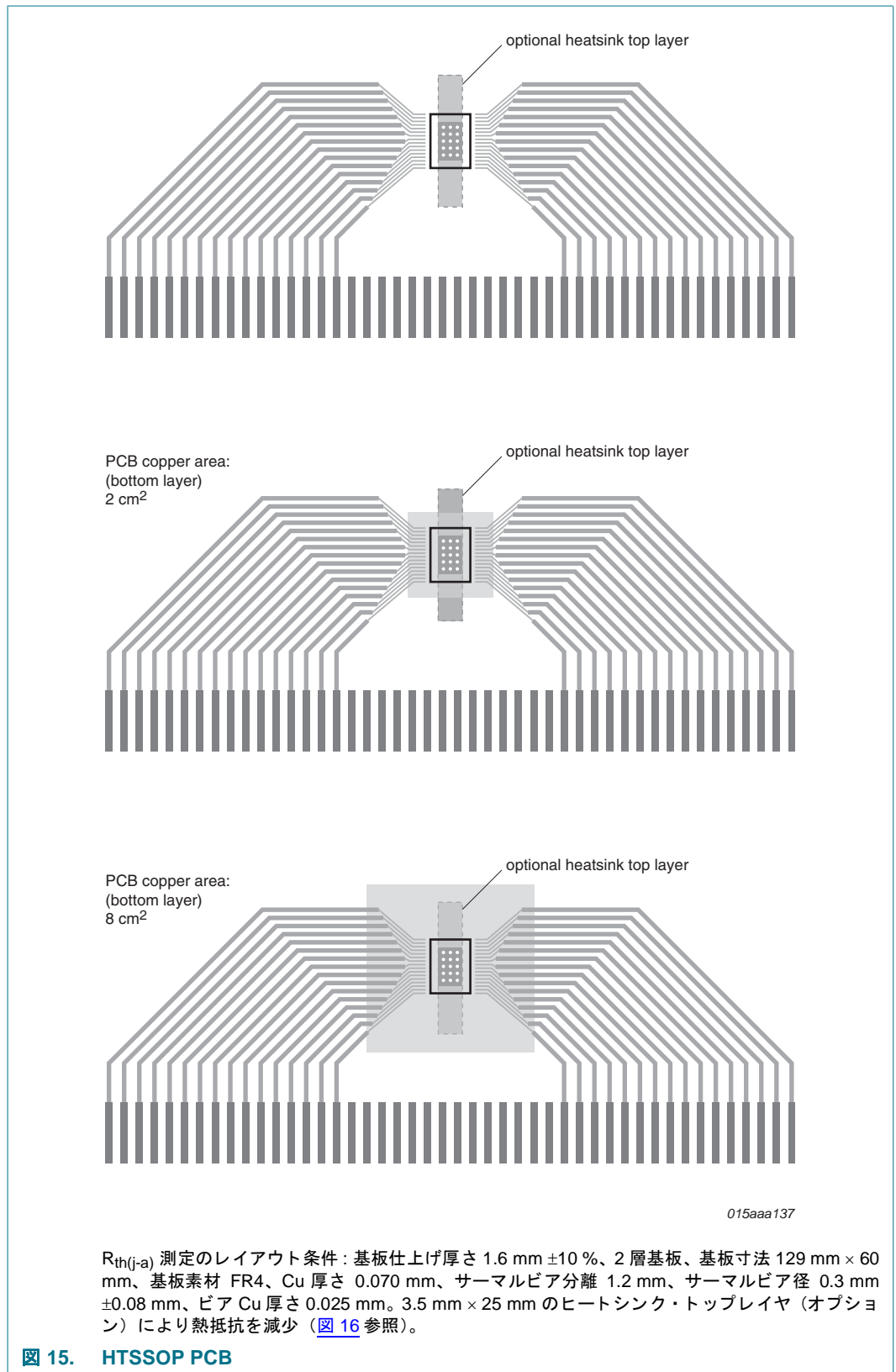
シンボル	パラメータ	条件	最小	最大	単位
V _x	電圧、ピン x	DC 値			
		ピン V1、V2、INTN	-0.3	7	V
		ピン TXDC、RXDC、EN、SDI、SDO、SCK、SCSN、TXDL1、TXDL2、RXDL1、RXDL2、RSTN、WDOFF	-0.3	V _{V1} + 0.3	V
		ピン VEXCC	V _{V1} - 0.3	V _{V1} + 0.35	V
		ピン WAKE1、WAKE2、WBIAS – 他のすべてのピン	-58	+58	V
		ピン LIMP および BAT	-0.3	+40	V
		ピン VEXCTRL	-0.3	V _{BAT} + 0.3	V
		ピン CANH、CANL、SPLIT、LIN1、LIN2 – 他のすべてのピン	-58	+58	V
		ピン DLIN – 他のすべてのピン	V _{BAT} - 0.3	+58	V
I _{R(V1-BAT)}	V1 ピンから BAT ピンへの逆電流	V _{V1} ≤ 5 V	[1] -	250	mA
I _{DLIN}	DLIN ピンの電流		-65	0	mA
V _{trt}	過渡電圧	ピン	[2] -150	+100	V
		BAT: 逆極性ダイオード / コンデンサ経由 CANL、CANH、SPLIT: バスラインで2つのコンデンサとカップリング LIN1、LIN2: 1 nF コンデンサを通じてカップリング DLIN、WAKE1、WAKE2: 1 kΩ シリーズレジスタ経由			
V _{ESD}	静電放電電圧	IEC 61000-4-2	[3]		
		ピン BAT とコンデンサ、CANH、CANL、LIN1、LIN2 – ピン SPLIT、DLIN、WAKE1、WAKE2 のシリーズレジスタ経由	[4] -6	+6	kV
		HBM	[5]		
		ピン CANH、CANL、LIN1、LIN2、SPLIT、DLIN、WAKE1、WAKE2	[6] -8	+8	kV
		ピン BAT – グランドに接続	-4	+4	kV
		ピン TEST2 – ピン BAT に接続	-1.25	+2	kV
		ピン TEST2 – 他のリファレンスピンに接続	-2	+2	kV
		他のすべてのピン	-2	+2	kV
		MM	[7]		
		すべてのピン	-300	+300	V
CDM	コーナーピン	[8]			
		-750	+750	V	
		他のすべてのピン	-500	+500	V
T _{vj}	仮想接合温度		[9] -40	+150	°C
T _{stg}	保存温度		-55	+150	°C
T _{amb}	動作温度		-40	+125	°C

[1] V1 (アノード : 陽極) と BAT (カソード : 陰極) 間に接続された逆ダイオードによって、電圧降下が V1(+) から BAT (-) に制限されます。

[2] ピンが確実に ISO 7637 part 2 automotive transient test (自動車用過渡電流試験) パルス 1、2a、3a、2b に対応するように、外部試験機関により検証済み。

- [3] IEC 61000-4-2 (150 pF, 330 Ω).
- [4] IEC 61000-4-2 (150 pF, 330 Ω) に基づくピン BAT、CANH、CANL、LIN1、LIN2、WAKE1、WAKE2 の ESD パフォーマンスは、外部試験機関により検証済み。結果は ±6 kV 以上。
- [5] 人体帯電モデル (HBM) : AEC-Q100-002 (100 pF, 1.5 kΩ) に基づく。
- [6] V1、V2、BAT は GND に接続 — アプリケーション回路のエミュレーション。
- [7] マシンモデル (MM) : AEC-Q100-003 (200 pF, 0.75 μH, 10 Ω) に基づく。
- [8] デバイス帯電モデル (CDM) : AEC-Q100-011 (誘導電荷、4 pF) に基づく。
- [9] EC 60747-1 に基づく。仮想接合温度の代替定義 : $T_{vj} = T_{amb} + P \times R_{th(vj-a)}$ $R_{th(vj-a)}$ は T_{vj} の計算に使用する固定値。 T_{vj} の定格によって、電力損失 (P) と外気温度の許容可能な組み合わせが制限されます。

8. 熱特性



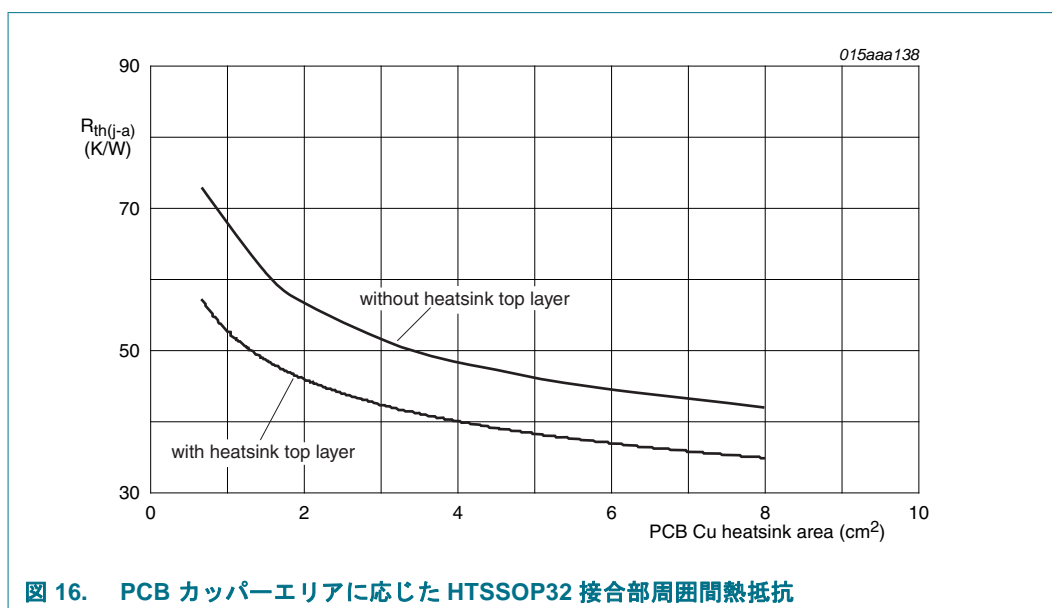


図 16. PCB カッパーエリアに応じた HTSSOP32 接合部周囲間熱抵抗

表 9. 熱特性

シンボル	パラメータ	条件	標準	単位
R _{th(j-a)}	ジャンクションから外気への熱抵抗	単層基板	[1]	78 K/W
		4層基板	[2]	36 K/W

- [1] JEDEC JESD51-2 および JESD51-3 に基づく (1s 基板の自然対流)。
- [2] JEDEC JESD51-2、JESD51-5、JESD51-7 に基づく (2s2p 基板の自然対流)。内部 Cu 層 2 層 (厚さ 35 μm) で、内部 Cu 層第 1 層に接続された露出パッドにサーマルビア配列を有する基板。

9. 電気的特性

表 10. 電気的特性

特に指定がない限り $T_{vj} = -40\text{ }^{\circ}\text{C} \sim +150\text{ }^{\circ}\text{C}$ 、 $V_{BAT} = 4.5\text{ V} \sim 28\text{ V}$ 、 $V_{BAT} > V_{V1}$ 、 $V_{BAT} > V_{V2}$ 、 $R_{LIN1} = R_{LIN2} = 500\text{ }\Omega$ 、 $R_{(CANH-CANL)} = 45\text{ }\Omega \sim 65\text{ }\Omega$ 。すべての電圧はグランドに接続。IC には正の電流。一般的な値は $V_{BAT} = 14\text{ V}$ に基づく。

シンボル	パラメータ	条件	最小	標準	最大	単位
電源、ピン BAT						
V_{BAT}	バッテリー電源電圧		4.5	-	28	V
I_{BAT}	バッテリー電源電流	MC = 00 (スタンバイ; V1 オン、V2 オフ) STBCC = STBCL1 = STBCL2 = 1 (CAN/LIN ウェイクアップ オン) WIC1 = WIC2 = 11 (WAKE 割り込みオン) $7.5\text{ V} < V_{BAT} < 28\text{ V}$; $I_{V1} = 0\text{ mA}$ $V_{RSTN} = V_{SCSN} = V_{V1}$ $V_{TXDL1} = V_{TXDL2} = V_{TXDC} = V_{V1}$ $V_{SD1} = V_{SCK} = 0\text{ V}$				
		$T_{vj} = -40\text{ }^{\circ}\text{C}$	-	84	99	μA
		$T_{vj} = 25\text{ }^{\circ}\text{C}$	-	77	89	μA
		$T_{vj} = 150\text{ }^{\circ}\text{C}$	-	69	81	μA
		MC = 01 (スリープ; V1 オフ、V2 オフ) STBCC = STBCL1 = STBCL2 = 1 (CAN/LIN ウェイクアップ オン) WIC1 = WIC2 = 11 (WAKE 割り込みオン) $7.5\text{ V} < V_{BAT} < 28\text{ V}$; $V_{V1} = 0\text{ V}$				
		$T_{vj} = -40\text{ }^{\circ}\text{C}$	-	62	72	μA
		$T_{vj} = 25\text{ }^{\circ}\text{C}$	-	57	66	μA
		$T_{vj} = 150\text{ }^{\circ}\text{C}$	-	53	59	μA
		LIN ウェイクアップレシーバによる STBCL1/STBCL2 = 1 $V_{LIN1} = V_{LIN2} = V_{BAT}$ $5.5\text{ V} < V_{BAT} < 28\text{ V}$	-	1.1	2	μA
		CAN ウェイクアップレシーバによる STBCC = 1; $V_{CANH} = V_{CANL} = 2.5\text{ V}$ $5.5\text{ V} < V_{BAT} < 28\text{ V}$	1	6	13	μA
		WAKEx ピンエッジ検出器による WIC1 = WIC2 = 11 $V_{WAKE1} = V_{WAKE2} = V_{BAT}$	0	5	10	μA

表 10. 電気的特性 ... 続き

特に指定がない限り $T_{vj} = -40\text{ }^{\circ}\text{C} \sim +150\text{ }^{\circ}\text{C}$, $V_{BAT} = 4.5\text{ V} \sim 28\text{ V}$, $V_{BAT} > V_{V1}$, $V_{BAT} > V_{V2}$, $R_{LIN1} = R_{LIN2} = 500\ \Omega$, $R_{(CANH-CANL)} = 45\ \Omega \sim 65\ \Omega$ 。すべての電圧はグラウンドに接続。IC には正の電流。一般的な値は $V_{BAT} = 14\text{ V}$ に基づく。

シンボル	パラメータ	条件	最小	標準	最大	単位
$I_{BAT(Add)}$	追加のバッテリー電源電流	$5.1\text{ V} < V_{BAT} < 7.5\text{ V}$	-	-	50	μA
		$4.5\text{ V} < V_{BAT} < 5.1\text{ V}$ V1 オン (5 V バージョン)	-	-	3	mA
		V2 on; MC = 11 V2UIE = 1; $I_{V2} = 0\text{ mA}$	100	-	950	μA
		CAN アクティブモード (レセッシブ) STBCC = 0; MC = 1x; $V_{TXDC} = V_{V1}$ $I_{CANH} = I_{CANL} = 0\text{ mA}$ $5.5\text{ V} < V_{BAT} < 28\text{ V}$	-	-	10	mA
		CAN アクティブ (ドミナント) STBCC = 0; MC = 1x; $V_{TXDC} = 0\text{ V}$ $R_{(CANH-CANL)} = 45\ \Omega$ $5.5\text{ V} < V_{BAT} < 28\text{ V}$	-	-	70	mA
		LINx アクティブモード (レセッシブ) STBCLx = 0; MC = 1x $V_{TXDL1} = V_{TXDL2} = V_{V1}$ $I_{DLIN} = I_{LIN1} = I_{LIN2} = 0\text{ mA}$ $5.5\text{ V} < V_{BAT} < 28\text{ V}$	-	-	1300	μA
		LINx アクティブモード (ドミナント) STBCLx = 0; MC = 1x $V_{TXDL1} = V_{TXDL2} = 0\text{ V}$ $I_{DLIN} = I_{LIN1} = I_{LIN2} = 0\text{ mA}$; $V_{BAT} = 14\text{ V}$	-	-	5	mA
LINx アクティブモード (ドミナント) STBCLx = 0; MC = 1x $V_{TXDL1} = V_{TXDL2} = 0\text{ V}$ $I_{DLIN} = I_{LIN1} = I_{LIN2} = 0\text{ mA}$; $V_{BAT} = 28\text{ V}$	-	-	10	mA		
$V_{th(det)pon}$	パワーオン検出しきい値電圧		4.5	-	5.5	V
$V_{th(det)poff}$	パワーオフ検出しきい値電圧		4.25	-	4.5	V
$V_{hys(det)pon}$	パワーオン検出ヒステリシス電圧		200	-	-	mV
$V_{uvd(LIN)}$	LIN 低電圧検出電圧		5	-	5.3	V
$V_{uvr(LIN)}$	LIN 低電圧回復電圧		5	-	5.5	V
$V_{hys(ugd)LIN}$	LIN 低電圧検出ヒステリシス電圧		25	-	300	mV
$V_{uvd(ctrl)lxt}$	外部電流制御低電圧検出電圧		5.9	-	7.5	V

電圧ソース – V1 ピン

V_O	出力電圧	$V_{O(V1)nom} = 5\text{ V}$; $V_{BAT} = 5.5\text{ V} \sim 28\text{ V}$ $I_{V1} = -200\text{ mA} \sim -5\text{ mA}$	4.9	5	5.1	V
		$V_{O(V1)nom} = 5\text{ V}$; $V_{BAT} = 5.5\text{ V} \sim 28\text{ V}$ $I_{V1} = -250\text{ mA to } -200\text{ mA}$	4.75	5	5.1	V
		$V_{O(V1)nom} = 5\text{ V}$; $V_{BAT} = 5.5\text{ V} \sim 5.75\text{ V}$ $I_{V1} = -250\text{ mA} \sim -5\text{ mA}$ $150\text{ }^{\circ}\text{C} < T_{vj} < 200\text{ }^{\circ}\text{C}$	4.5	5	5.1	V
		$V_{O(V1)nom} = 5\text{ V}$; $V_{BAT} = 5.75\text{ V} \sim 28\text{ V}$ $I_{V1} = -250\text{ mA} \sim -5\text{ mA}$ $150\text{ }^{\circ}\text{C} < T_{vj} < 200\text{ }^{\circ}\text{C}$	4.85	5	5.1	V
		$V_{O(V1)nom} = 3.3\text{ V}$; $V_{BAT} = 4.5\text{ V} \sim 28\text{ V}$ $I_{V1} = -250\text{ mA} \sim -5\text{ mA}$	3.234	3.3	3.366	V
		$V_{O(V1)nom} = 3.3\text{ V}$; $V_{BAT} = 4.5\text{ V} \sim 28\text{ V}$ $I_{V1} = -250\text{ mA} \sim -5\text{ mA}$ $150\text{ }^{\circ}\text{C} < T_{vj} < 200\text{ }^{\circ}\text{C}$	2.97	3.3	3.366	V

表 10. 電気的特性 ... 続き

特に指定がない限り $T_{vj} = -40\text{ }^{\circ}\text{C} \sim +150\text{ }^{\circ}\text{C}$, $V_{BAT} = 4.5\text{ V} \sim 28\text{ V}$, $V_{BAT} > V_{V1}$, $V_{BAT} > V_{V2}$, $R_{LIN1} = R_{LIN2} = 500\ \Omega$, $R_{(CANH-CANL)} = 45\ \Omega \sim 65\ \Omega$. すべての電圧はグラウンドに接続。IC には正の電流。一般的な値は $V_{BAT} = 14\text{ V}$ に基づく。

シンボル	パラメータ	条件	最小	標準	最大	単位
$R_{(BAT-V1)}$	BAT ピンおよび V1 ピン間の抵抗	$V_{O(V1)nom} = 5\text{ V}$; $V_{BAT} = 4.5\text{ V} \sim 5.5\text{ V}$ $I_{V1} = -250\text{ mA} \sim 5\text{ mA}$ レギュレータは飽和状態	-	-	3	Ω
V_{Uvd}	低電圧検出電圧	90 %; $V_{O(V1)nom} = 5\text{ V}$; RTHC = 0 90 %; $V_{O(V1)nom} = 3.3\text{ V}$; RTHC = 0 70 %; $V_{O(V1)nom} = 5\text{ V}$; RTHC = 1	4.5 2.97 3.5	-	4.75 3.135 3.75	V
V_{Uvr}	低電圧回復電圧	90 %; $V_{O(V1)nom} = 5\text{ V}$ 90 %; $V_{O(V1)nom} = 3.3\text{ V}$	4.56 3.025	-	4.9 3.234	V
$I_{O(sc)}$	ショート回路出力電流	$I_{VEXCC} = 0\text{ mA}$	-600	-	-250	mA
負荷調整						
ΔV_{V1}	V1 ピンの電圧変動	負荷電流変動に対応 $V_{BAT} = 5.75\text{ V} \sim 28\text{ V}$ $I_{V1} = -250\text{ mA} \sim -5\text{ mA}$	-	-	25	mV
ライン調整						
ΔV_{V1}	V1 ピンの電圧変動	電源電圧変動に対応 $V_{BAT} = 5.5\text{ V} \sim 28\text{ V}$; $I_{V1} = -30\text{ mA}$	-	-	25	mV
PNP ベース ; VEXCTRL ピン						
$I_{O(sc)}$	ショート回路出力電流	$V_{VEXCTRL} \geq 4.5\text{ V}$; $V_{BAT} = 6\text{ V} \sim 28\text{ V}$	3.5	5.8	8	mA
$I_{th(act)PNP}$	PNP 有効化しきい値電流	負荷電流上昇、外部 PNP トランジスタ接続 - 6.6.2 章参照				
		PDC 0	74	130	191	mA
		PDC 0; $T_{vj} = 150\text{ }^{\circ}\text{C}$	74	85	99	mA
		PDC 1	44	76	114	mA
		PDC 1; $T_{vj} = 150\text{ }^{\circ}\text{C}$	44	50	59	mA
$I_{th(deact)PNP}$	PNP 無効化しきい値電流	負荷電流低下、外部 PNP トランジスタ接続 - 6.6.2 章参照				
		PDC 0	40	76	120	mA
		PDC 0; $T_{vj} = 150\text{ }^{\circ}\text{C}$	44	50	59	mA
		PDC 1	11	22	36	mA
		PDC 1; $T_{vj} = 150\text{ }^{\circ}\text{C}$	12	15	18	mA
PNP コレクタ ; VEXCC ピン						
$V_{th(act)Ilim}$	電流制限有効化しきい値電圧	VEXCC ピンと V1 ピン間で接続されたレジスタで計測 (6.6.2 章参照) $2.97\text{ V} \leq V_{V1} \leq 5.5\text{ V}$ $6\text{ V} < V_{BAT} < 28\text{ V}$	240	-	330	mV
電圧ソース - V2 ピン						
V_O	出力電圧	$V_{BAT} = 5.5\text{ V to } 28\text{ V}$ $I_{V2} = -100\text{ mA} \sim 0\text{ mA}$ $V_{BAT} = 6\text{ V to } 28\text{ V}$ $I_{V2} = -120\text{ mA} \sim 0\text{ mA}$	4.75 4.75	5	5.25	V
ΔV_{V2}	V2 ピンの電圧変動	電源電圧変動に対応 $V_{BAT} = 5.5\text{ V} \sim 28\text{ V}$ $I_{V2} = -10\text{ mA}$ 負荷電流変動に対応 $6\text{ V} < V_{BAT} < 28\text{ V}$ $I_{V2} = -100\text{ mA} \sim -5\text{ mA}$	- - -	-	60 80	mV
V_{Uvd}	低電圧検出電圧		4.5	-	4.70	V

表 10. 電気的特性 ... 続き

特に指定がない限り $T_{vj} = -40\text{ }^{\circ}\text{C} \sim +150\text{ }^{\circ}\text{C}$, $V_{BAT} = 4.5\text{ V} \sim 28\text{ V}$, $V_{BAT} > V_{V1}$, $V_{BAT} > V_{V2}$, $R_{LIN1} = R_{LIN2} = 500\text{ }\Omega$, $R_{(CANH-CANL)} = 45\text{ }\Omega \sim 65\text{ }\Omega$. すべての電圧はグラウンドに接続。IC には正の電流。一般的な値は $V_{BAT} = 14\text{ V}$ に基づく。

シンボル	パラメータ	条件	最小	標準	最大	単位
V_{uvr}	低電圧回復電圧		4.55	-	4.75	V
V_{uvhys}	低電圧ヒステリシス電圧		20	-	80	mV
$I_{O(sc)}$	ショート回路出力電流	$V_{V2} = 0\text{ V} \sim 5.5\text{ V}$	-250	-	-100	mA
SPI (シリアルペリフェラル・インターフェース) 入力; ピン SDI、SCK、SCSN						
$V_{th(sw)}$	スイッチングしきい値電圧	$V_{V1} = 2.97\text{ V} \sim 5.5\text{ V}$	$0.3V_{V1}$	-	$0.7V_{V1}$	V
$V_{hys(i)}$	入力ヒステリシス電圧	$V_{V1} = 2.97\text{ V} \sim 5.5\text{ V}$	100	-	900	mV
$R_{pd(SCK)}$	SCK ピンのプルダウン抵抗		50	130	400	k Ω
$R_{pu(SCSN)}$	SCSN ンのプルアップ抵抗		50	130	400	k Ω
$I_{LI(SDI)}$	SDI ピンの入力リーク電流		-5	-	+5	μA
SPI (シリアルペリフェラル・インターフェース) データ出力; SDO ピン						
I_{OH}	HIGH レベル出力電流	$V_{SCSN} = 0\text{ V}; V_O = V_{V1} - 0.4\text{ V}$ $V_{V1} = 2.97\text{ V} \sim 5.5\text{ V}$	-30	-	-1.6	mA
I_{OL}	LOW レベル出力電流	$V_{SCSN} = 0\text{ V}; V_O = 0.4\text{ V}$ $V_{V1} = 2.97\text{ V} \sim 5.5\text{ V}$	1.6	-	30	mA
I_{LO}	出力リーク電流	$V_{SCSN} = V_{V1}; V_O = 0\text{ V} \sim V_{V1}$ $V_{V1} = 2.97\text{ V} \sim 5.5\text{ V}$	-5	-	5	μA
リセット出力、クランプ検出; RSTN ピン						
I_{OH}	HIGH レベル出力電流	$V_{RSTN} = 0.8V_{V1}$ $V_{V1} = 2.97\text{ V} \sim 5.5\text{ V}$	-1500	-	-100	μA
I_{OL}	LOW レベル出力電流	strong; $V_{RSTN} = 0.2V_{V1}$ $V_{V1} = 2.97\text{ V} \sim 5.5\text{ V}$ $-40\text{ }^{\circ}\text{C} < T_{vj} < 200\text{ }^{\circ}\text{C}$	4.9	-	40	mA
		weak; $V_{RSTN} = 0.8V_{V1}$ $V_{V1} = 2.97\text{ V} \sim 5.5\text{ V}$ $-40\text{ }^{\circ}\text{C} < T_{vj} < 200\text{ }^{\circ}\text{C}$	200	-	540	μA
V_{OL}	LOW レベル出力電圧	$V_{V1} = 1\text{ V} \sim 5.5\text{ V}$ $V_{V1} \geq 900\text{ }\Omega$ へのプルアップレジスタ; $-40\text{ }^{\circ}\text{C} < T_{vj} < 200\text{ }^{\circ}\text{C}; V_{BAT} < 28\text{ V}$	0	-	$0.2V_{V1}$	V
		$V_{V1} = 2.975\text{ V} \sim 5.5\text{ V}$ $V1 \geq 900\text{ }\Omega$ へのプルアップレジスタ; $-40\text{ }^{\circ}\text{C} < T_{vj} < 200\text{ }^{\circ}\text{C}$	0	-	0.5	V
V_{OH}	HIGH レベル出力電圧	$-40\text{ }^{\circ}\text{C} < T_{vj} < 200\text{ }^{\circ}\text{C}$	$0.8V_{V1}$	-	$V_{V1} + 0.3$	V
$V_{th(sw)}$	スイッチングしきい値電圧	$V_{V1} = 2.97\text{ V} \sim 5.5\text{ V}$	$0.3V_{V1}$	-	$0.7V_{V1}$	V
$V_{hys(i)}$	入力ヒステリシス電圧	$V_{V1} = 2.97\text{ V} \sim 5.5\text{ V}$	100	-	900	mV
割り込み出力; INTN ピン						
I_{OL}	LOW レベル出力電流	$V_{OL} = 0.4\text{ V}$	1.6	-	15	mA
出カイナーブル; EN ピン						
I_{OH}	HIGH レベル出力電流	$V_{OH} = V_{V1} - 0.4\text{ V}$ $V_{V1} = 2.97\text{ V} \sim 5.5\text{ V}$	-20	-	-1.6	mA
I_{OL}	LOW レベル出力電流	$V_{OL} = 0.4\text{ V}; V_{V1} = 2.97\text{ V} \sim 5.5\text{ V}$	1.6	-	20	mA
V_{OL}	LOW レベル出力電流	$I_{OL} = 20\text{ }\mu\text{A}; V_{V1} = 1.5\text{ V}$	-	-	0.4	V
ウォッチドッグオフ入力; WDOFF ピン						
$V_{th(sw)}$	スイッチングしきい値電圧	$V_{V1} = 2.97\text{ V} \sim 5.5\text{ V}$	$0.3V_{V1}$	-	$0.7V_{V1}$	V
$V_{hys(i)}$	入力ヒステリシス電圧	$V_{V1} = 2.97\text{ V} \sim 5.5\text{ V}$	100	-	900	mV
R_{pupd}	プルアップ / プルダウン抵抗	$V_{V1} = 2.97\text{ V} \sim 5.5\text{ V}$	5	10	20	k Ω

表 10. 電気的特性 ... 続き

特に指定がない限り $T_{vj} = -40\text{ }^{\circ}\text{C} \sim +150\text{ }^{\circ}\text{C}$, $V_{BAT} = 4.5\text{ V} \sim 28\text{ V}$, $V_{BAT} > V_{V1}$, $V_{BAT} > V_{V2}$, $R_{LIN1} = R_{LIN2} = 500\ \Omega$, $R_{(CANH-CANL)} = 45\ \Omega \sim 65\ \Omega$. すべての電圧はグラウンドに接続。IC には正の電流。一般的な値は $V_{BAT} = 14\text{ V}$ に基づく。

シンボル	パラメータ	条件	最小	標準	最大	単位
ウェイク入力; ピン WAKE1、WAKE2						
$V_{th(sw)}$	スイッチングしきい値電圧		2	-	3.75	V
$V_{hys(i)}$	入力ヒステリシス電圧		100	-	1000	mV
I_{pu}	プルアップ電流	$V_{WAKE} = 0\text{ V}$ for $t < t_{wake}$	-2	-	0	μA
I_{pd}	プルダウン電流	$V_{WAKE} = V_{BAT}$ for $t < t_{wake}$	0	-	2	μA
リンプホーム出力; LIMP ピン						
I_O	出力電流	$V_{LIMP} = 0.4\text{ V}$; LHC = 1 $T_{vj} = -40\text{ }^{\circ}\text{C} \sim 200\text{ }^{\circ}\text{C}$	0.8	-	8	mA
ウェイクバイアス出力; WBIAS ピン						
I_O	出力電流	$V_{WBIAS} = 1.4\text{ V}$	1	-	7	mA
CAN 送信データ入力; TXDC ピン						
$V_{th(sw)}$	スイッチングしきい値電圧	$V_{V1} = 2.97\text{ V} \sim 5.5\text{ V}$	$0.3V_{V1}$	-	$0.7V_{V1}$	V
$V_{hys(i)}$	入力ヒステリシス電圧	$V_{V1} = 2.97\text{ V} \sim 5.5\text{ V}$	100	-	900	mV
R_{pu}	プルアップ抵抗		4	12	25	k Ω
CAN 受信データ出力; RXDC ピン						
I_{OH}	HIGH レベル出力電流	CAN アクティブモード $V_{RXDC} = V_{V1} - 0.4\text{ V}$	-20	-	-1.5	mA
I_{OL}	LOW レベル出力電流	$V_{RXDC} = 0.4\text{ V}$	1.6	-	20	mA
R_{pu}	プルアップ抵抗	MC = 00; スタンバイモード	4	12	25	k Ω
高速 CAN バスライン; ピン CANH、CANL						
$V_{O(dom)}$	ドミナント出力電圧	CAN アクティブモード $V_{V2} = 4.5\text{ V} \sim 5.5\text{ V}$; $V_{TXDC} = 0\text{ V}$ $R_{(CANH-CANL)} = 60\ \Omega$				
		pin CANH	2.75	3.5	4.5	V
		pin CANL	0.5	1.5	2.25	V
$V_{dom(TX)sym}$	トランスミッタドミナント電圧シンメトリ y	$V_{dom(TX)sym} = V_{V2} - V_{CANH} - V_{CANL}$ $R_{(CANH-CANL)} = 60\ \Omega$	-400	-	+400	mV
$V_{O(dif)bus}$	バス差動出力電圧	CAN アクティブモード (ドミナント) $V_{V2} = 4.75\text{ V} \sim 5.25\text{ V}$; $V_{TXDC} = 0\text{ V}$ $R_{(CANH-CANL)} = 45\ \Omega \sim 65\ \Omega$	1.5	-	3.0	V
		CAN アクティブモード (レセッシブ) $V_{V2} = 4.5\text{ V} \sim 5.5\text{ V}$; $V_{TXDC} = V_{V1}$ $R_{(CANH-CANL)} = \text{負荷なし}$	-50	0	+50	mV
$V_{O(rec)}$	リセッシブ出力電圧	CAN アクティブモード ; $V_{V2} = 4.5\text{ V} \sim 5.5\text{ V}$ $V_{TXDC} = V_{V1}$ $R_{(CANH-CANL)} = \text{負荷なし}$	2	$0.5V_{V2}$	3	V
		CAN 低電力 / オフモード $R_{(CANH-CANL)} = \text{負荷なし}$	-0.1	-	+0.1	V
$I_{O(dom)}$	ドミナント出力電流	CAN アクティブモード $V_{TXDC} = 0\text{ V}$; $V_{V2} = 5\text{ V}$				
		pin CANH; $V_{CANH} = 0\text{ V}$	-100	-70	-40	mA
		pin CANL; $V_{CANL} = 40\text{ V}$	40	70	100	mA
$I_{O(rec)}$	リセッシブ出力電流	$V_{CANL} = V_{CANH} = -27\text{ V} \sim +32\text{ V}$ $V_{TXDC} = V_{V1}$; $V_{V2} = 4.5\text{ V} \sim 5.5\text{ V}$	-3	-	+3	mA

表 10. 電気的特性 ... 続き

特に指定がない限り $T_{vj} = -40\text{ }^{\circ}\text{C} \sim +150\text{ }^{\circ}\text{C}$, $V_{BAT} = 4.5\text{ V} \sim 28\text{ V}$, $V_{BAT} > V_{V1}$, $V_{BAT} > V_{V2}$, $R_{LIN1} = R_{LIN2} = 500\ \Omega$, $R_{(CANH-CANL)} = 45\ \Omega \sim 65\ \Omega$. すべての電圧はグラウンドに接続。IC には正の電流。一般的な値は $V_{BAT} = 14\text{ V}$ に基づく。

シンボル	パラメータ	条件	最小	標準	最大	単位
$V_{th(RX)dif}$	差動レシーバしきい値電圧	CAN アクティブモード $V_{V2} = 4.5\text{ V} \sim 5.5\text{ V}$ $-30\text{ V} < V_{CANH} < +30\text{ V}$ $-30\text{ V} < V_{CANL} < +30\text{ V}$	0.5	0.7	0.9	V
$V_{hys(RX)dif}$	差動レシーバヒステリシス電圧	CAN アクティブモード $V_{V2} = 4.5\text{ V} \sim 5.5\text{ V}$ $-30\text{ V} < V_{CANH} < +30\text{ V}$ $-30\text{ V} < V_{CANL} < +30\text{ V}$	40	120	400	mV
$R_{i(cm)}$	コモンモード入力抵抗	CAN アクティブモード; $V_{V2} = 5\text{ V}$ $V_{CANH} = V_{CANL} = 5\text{ V}$	9	15	28	k Ω
ΔR_i	入力抵抗偏差	CAN アクティブモード; $V_{V2} = 5\text{ V}$ $V_{CANH} = V_{CANL} = 5\text{ V}$	-1	-	+1	%
$R_{i(dif)}$	差動入力抵抗	CAN アクティブモード; $V_{V2} = 5.5\text{ V}$ $V_{CANH} = V_{CANL} = -35\text{ V} \sim +35\text{ V}$	19	30	52	k Ω
$C_{i(cm)}$	コモンモード入力静電容量	CAN アクティブモード; テストなし	-	-	20	pF
$C_{i(dif)}$	差動入力静電容量	CAN アクティブモード; テストなし	-	-	10	pF
I_{LI}	入力リーク電流	$V_{BAT} = 0\text{ V}$; $V_{V2} = 0\text{ V}$ $V_{CANH} = V_{CANL} = 5\text{ V}$	-5	-	+5	μA

CAN バスコモンモード安定出力; SPLIT ピン

V_O	出力電圧	CAN アクティブモード $V_{V2} = 4.5\text{ V} \sim 5.5\text{ V}$ $I_{SPLIT} = -500\ \mu\text{A} \sim 500\ \mu\text{A}$	$0.3V_{V2}$	$0.5V_{V2}$	$0.7V_{V2}$	V
		CAN アクティブモード $V_{V2} = 4.5\text{ V} \sim 5.5\text{ V}$; $R_L \geq 1\text{ M}\Omega$	$0.45 \times V_{V2}$	$0.5 \times V_{V2}$	$0.55 \times V_{V2}$	V
I_L	リーク電流	CAN 低電力 / オフモードまたはアクティブモード、 $V_{V2} < 4.5\text{ V}$ $V_{SPLIT} = -30\text{ V} \sim +30\text{ V}$	-5	-	+5	μA

LIN 送信データ入力; ピン TXDL1、TXDL2

$V_{th(sw)}$	スイッチングしきい値電圧	$V_{V1} = 2.97\text{ V} \sim 5.5\text{ V}$	$0.3V_{V1}$	-	$0.7V_{V1}$	V
$V_{hys(i)}$	入力ヒステリシス電圧	$V_{V1} = 2.97\text{ V} \sim 5.5\text{ V}$	100	-	900	mV
R_{pu}	プルアップ抵抗		4	12	25	k Ω

LIN 受信データ出力; ピン RXDL1、RXDL2

I_{OH}	HIGH レベル出力電流	LIN アクティブモード $V_{RXDL1} = V_{RXDL2} = V_{V1} - 0.4\text{ V}$	-20	-	-1.5	mA
I_{OL}	LOW レベル出力電流	$V_{RXDL1} = V_{RXDL2} = 0.4\text{ V}$	1.6	-	20	mA
R_{pu}	プルアップ抵抗	MC = 00; スタンバイモード	4	12	25	k Ω

LIN バスライン; ピン LIN1、LIN2

I_{BUS_LIM}	ドライバドミナント状態の電流制限	LIN アクティブモード $V_{BAT} = V_{LIN1} = V_{LIN2} = 18\text{ V}$ $V_{TXDL1} = V_{TXDL2} = 0\text{ V}$	40	-	100	mA
$I_{BUS_PAS_rec}$	レシーバレセッシブ入力リーク電流	$V_{LIN1} = V_{LIN2} = 28\text{ V}$ $V_{BAT} = 5.5\text{ V}$; $V_{TXDL1} = V_{TXDL2} = V_{V1}$	[1]	-	2	μA
$I_{BUS_PAS_dom}$	レシーバドミナント入力リーク電流 (プルアップ抵抗を含む)	$V_{TXDL1} = V_{TXDL2} = V_{V1}$ $V_{LIN1} = V_{LIN2} = 0\text{ V}$; $V_{BAT} = 14\text{ V}$	-10	-	+10	μA
$I_{L(log)}$	グラウンドリーク電流の損失	$V_{BAT} = V_{GND} = 28\text{ V}$; $V_{LIN1} = V_{LIN2} = 0\text{ V}$	-100	-	10	μA

表 10. 電気的特性 ... 続き

特に指定がない限り $T_{vj} = -40\text{ }^{\circ}\text{C} \sim +150\text{ }^{\circ}\text{C}$, $V_{BAT} = 4.5\text{ V} \sim 28\text{ V}$, $V_{BAT} > V_{V1}$, $V_{BAT} > V_{V2}$, $R_{LIN1} = R_{LIN2} = 500\ \Omega$, $R_{(CANH-CANL)} = 45\ \Omega \sim 65\ \Omega$ 。すべての電圧はグランドに接続。IC には正の電流。一般的な値は $V_{BAT} = 14\text{ V}$ に基づく。

シンボル	パラメータ	条件	最小	標準	最大	単位
$I_{L(lob)}$	バッテリーリーク電流の損失	$V_{BAT} = 0\text{ V}$; $V_{LIN1} = V_{LIN2} = 28\text{ V}$	[1]	-	2	μA
$V_{rec(RX)}$	レシーバレセッシブ電圧	$V_{BAT} = 5.5\text{ V} \sim 18\text{ V}$	0.6	$\times V_{BAT}$	-	V
$V_{dom(RX)}$	レシーバドミナント電圧	$V_{BAT} = 5.5\text{ V} \sim 18\text{ V}$	-	-	$0.4V_{BA}$	V
$V_{th(cntn)RX}$	レシーバセンターしきい値電圧	$V_{th(cntn)RX} = (V_{th(rec)RX} + V_{th(dom)RX})/2$ $V_{BAT} = 5.5\text{ V} \sim 18\text{ V}$; LIN アクティブモード	0.475	$0.5 \times V_{BAT}$	0.525	V
$V_{th(hys)RX}$	レシーバヒステリシスしきい値電圧	$V_{th(hys)RX} = V_{th(rec)RX} - V_{th(dom)RX}$ $V_{BAT} = 5.5\text{ V} \sim 18\text{ V}$; LIN アクティブモード	0.05	$\times V_{BAT}$	0.175	V
C_{LIN1}	LIN1 ピンの静電容量	GND に接続	-	-	30	pF
C_{LIN2}	LIN2 ピンの静電容量	GND に接続	-	-	30	pF
$V_{O(dom)}$	ドミナント出力電圧	$V_{TXDL1} = V_{TXDL2} = 0\text{ V}$; $V_{BAT} = 7\text{ V}$ LIN アクティブモード	-	-	1.4	V
		$V_{TXDL1} = V_{TXDL2} = 0\text{ V}$; $V_{BAT} = 18\text{ V}$ LIN アクティブモード	-	-	2.0	V

LIN バス終端 ; DLIN ピン

$\Delta V_{(DLIN-BAT)}$	DLIN ピンと BAT ピンの電圧差異	$5\text{ mA} < I_{DLIN} < 20\text{ mA}$	0.4	0.65	1	V
-------------------------	----------------------	---	-----	------	---	---

過熱保護

$T_{th(act)otp}$	過熱保護有効化しきい値温度		165	180	200	$^{\circ}\text{C}$
$T_{th(rel)otp}$	過熱保護リリースしきい値温度		126	138	150	$^{\circ}\text{C}$

[1] 設計保障

10. 動的特性

表 11. 動的特性

特に指定がない限り $T_{vj} = -40\text{ }^{\circ}\text{C} \sim +150\text{ }^{\circ}\text{C}$ 、 $V_{BAT} = 4.5\text{ V} \sim 28\text{ V}$ 、 $V_{BAT} > V_{V1}$ 、 $V_{BAT} > V_{V2}$ 、 $R_{LIN1} = R_{LIN2} = 500\text{ }\Omega$ 、 $R_{(CANH-CANL)} = 45\text{ }\Omega \sim 65\text{ }\Omega$ 。すべての電圧はグランドに接続。IC には正の電流。一般的な値は $V_{BAT} = 14\text{ V}$ に基づく。

シンボル	パラメータ	条件	最小	標準	最大	単位
電圧ソース – V1 ピン						
$t_{d(uvd)}$	低電圧検出遅延時間	V_{V1} 低下; $dV_{V1}/dt = 0.1\text{ V}/\mu\text{s}$	7	-	23	μs
$t_{det(CL)L}$	LOW レベルクランプ検出時間	$V_{V1} < 0.9V_{O(V1)nom}$; $V1$ アクティブ $V_{WDOFF} = 0\text{ V}$ (WD バージョンのみ)	95	-	140	ms
電圧ソース – V2 ピン						
$t_{d(uvd)}$	低電圧検出遅延時間	V_{V2} 低下, $dV_{V2}/dt = 0.1\text{ V}/\mu\text{s}$	7	-	23	μs
SPI (シリアルペリフェラル・インターフェース) タイミング; ピン SCSN、SCK、SDI、SDO						
$t_{cy(clk)}$	クロック・サイクルタイム	$V_{V1} = 2.97\text{ V} \sim 5.5\text{ V}$	320	-	-	ns
$t_{SPILEAD}$	SPI 有効化リード時間	$V_{V1} = 2.97\text{ V} \sim 5.5\text{ V}$; SPI 選択が下がったときクロックは LOW	110	-	-	ns
t_{SPILAG}	SPI 有効化遅延時間	$V_{V1} = 2.97\text{ V} \sim 5.5\text{ V}$; SPI 選択が上がったときクロックは LOW	140	-	-	ns
$t_{clk(H)}$	クロック HIGH 時間	$V_{V1} = 2.97\text{ V} \sim 5.5\text{ V}$	160	-	-	ns
$t_{clk(L)}$	クロック LOW 時間	$V_{V1} = 2.97\text{ V} \sim 5.5\text{ V}$	160	-	-	ns
$t_{su(D)}$	データ入力セットアップ時間	$V_{V1} = 2.97\text{ V} \sim 5.5\text{ V}$	0	-	-	ns
$t_{h(D)}$	データ入力ホールド時間	$V_{V1} = 2.97\text{ V} \sim 5.5\text{ V}$	80	-	-	ns
$t_{v(Q)}$	データ出力有効時間	SDO ピン; $V_{V1} = 2.97\text{ V} \sim 5.5\text{ V}$ $C_L = 100\text{ pF}$	-	-	110	ns
$t_{WH(S)}$	チップ選択パルス幅 HIGH	$V_{V1} = 2.97\text{ V} \sim 5.5\text{ V}$	20	-	-	ns
リセット出力; RSTN ピン						
$t_{w(rst)}$	リセットパルス幅	ロング; $R_{pu(RSTN)} > 25\text{ k}\Omega$	20	-	25	ms
		ショート $R_{pu(RSTN)} = 900\text{ }\Omega \sim 1100\text{ }\Omega$	3.6	-	5	ms
$t_{det(CL)L}$	LOW レベルクランプ検出時間	内部的に RSTN 主導による HIGH、ただし RSTN ピンは LOW に維持; $V_{WDOFF} = 0\text{ V}$ (WD バージョンのみ)	95	-	140	ms
t_{ftr}	フィルタ時間		7	-	18	μs
ウォッチドッグオフ入力; WDOFF ピン						
t_{ftr}	フィルタ時間		0.9	-	2.3	ms
ウェイク入力; ピン WAKE1、WAKE2						
t_{wake}	ウェイクアップ時間		10	-	40	μs
$t_{d(po)}$	パワーオン遅延時間		113	-	278	μs
CAN トランシーバタイミング; ピン CANH、CANL、TXDC、RXDC						
$t_{d(TXDCH-RXDCH)}$	遅延時間、TXDC HIGH から RXDC HIGH	50 % V_{TXDC} to 50 % V_{RXDC} $V_{V2} = 4.5\text{ V} \sim 5.5\text{ V}$ $R_{(CANH-CANL)} = 60\text{ }\Omega$ $C_{(CANH-CANL)} = 100\text{ pF}$; $C_{RXDC} = 15\text{ pF}$ $f_{TXDC} = 250\text{ kHz}$	60	-	235	ns
$t_{d(TXDCL-RXDCL)}$	遅延時間、TXDC LOW から RXDC LOW	50 % V_{TXDC} to 50 % V_{RXDC} $V_{V2} = 4.5\text{ V} \sim 5.5\text{ V}$ $R_{(CANH-CANL)} = 60\text{ }\Omega$ $C_{(CANH-CANL)} = 100\text{ pF}$; $C_{RXDC} = 15\text{ pF}$ $f_{TXDC} = 250\text{ kHz}$	60	-	235	ns
$t_{d(TXDC-busdom)}$	遅延時間、TXDC からバスドミナント	$V_{V2} = 4.5\text{ V} \sim 5.5\text{ V}$ $R_{(CANH-CANL)} = 60\text{ }\Omega$ $C_{(CANH-CANL)} = 100\text{ pF}$	-	70	-	ns

表 11. 動的特性 ... 続き

特に指定がない限り $T_{vj} = -40\text{ }^{\circ}\text{C} \sim +150\text{ }^{\circ}\text{C}$, $V_{BAT} = 4.5\text{ V} \sim 28\text{ V}$, $V_{BAT} > V_{V1}$, $V_{BAT} > V_{V2}$, $R_{LIN1} = R_{LIN2} = 500\text{ }\Omega$, $R_{(CANH-CANL)} = 45\text{ }\Omega \sim 65\text{ }\Omega$ 。すべての電圧はグラウンドに接続。IC には正の電流。一般的な値は $V_{BAT} = 14\text{ V}$ に基づく。

シンボル	パラメータ	条件	最小	標準	最大	単位
$t_d(\text{TXDC-busrec})$	遅延時間、TXDC からバスレセッシブ	$V_{V2} = 4.5\text{ V} \sim 5.5\text{ V}$ $R_{(CANH-CANL)} = 60\text{ }\Omega$ $C_{(CANH-CANL)} = 100\text{ pF}$	-	90	-	ns
$t_d(\text{busdom-RXDC})$	遅延時間、バスドミナントからRXDC	$V_{V2} = 4.5\text{ V} \sim 5.5\text{ V}$ $R_{(CANH-CANL)} = 60\text{ }\Omega$ $C_{(CANH-CANL)} = 100\text{ pF}$ $C_{RXDC} = 15\text{ pF}$	-	75	-	ns
$t_d(\text{busrec-RXDC})$	遅延時間、バスレセッシブからRXDC	$V_{V2} = 4.5\text{ V} \sim 5.5\text{ V}$ $R_{(CANH-CANL)} = 60\text{ }\Omega$ $C_{(CANH-CANL)} = 100\text{ pF}$ $C_{RXDC} = 15\text{ pF}$	-	95	-	ns
$t_{\text{wake}}(\text{busdom})_{\text{min}}$	最小バスドミナント・ウェイクアップ時間	ピン CANH および CANL のウェイクアップの最初のパルス (最初のレセッシブ後)、スリープモード	0.5	-	3	μs
		ピン CANH および CANL のウェイクアップの 2 番目のパルス	0.5	-	3	μs
$t_{\text{wake}}(\text{busrec})_{\text{min}}$	最小バスレセッシブ・ウェイクアップ時間	ピン CANH および CANL のウェイクアップの最初のパルス、スリープモード	0.5	-	3	μs
		ピン CANH および CANL のウェイクアップの 2 番目のパルス (最初のドミナント後)	0.5	-	3	μs
$t_{\text{to}}(\text{wake})$	ウェイクアップタイムアウト時間	ウェイクアップと確認メッセージの間、スリープモード	0.4	-	1.2	ms
$t_{\text{to}}(\text{dom})\text{TXDC}$	TXDC ドミナントタイムアウト時間	CAN オンライン; $V_{V2} = 4.5\text{ V to } 5.5\text{ V}$ $V_{\text{TXDC}} = 0\text{ V}$	1.8	-	4.5	ms

LIN トランシーバ; ピン LIN1、LIN2、TXDL1、TXDL2、RXDL1、RXDL2

$\delta 1$	デューティサイクル 1	$V_{\text{th}}(\text{rec})\text{RX}(\text{max}) = 0.744V_{\text{BAT}}$ [1]	0.396	-	-
		$V_{\text{th}}(\text{dom})\text{RX}(\text{max}) = 0.581V_{\text{BAT}}$; $t_{\text{bit}} = 50\text{ }\mu\text{s}$ [2] $V_{\text{BAT}} = 7\text{ V} \sim 18\text{ V}$; LSC = 0			
$\delta 2$	デューティサイクル 2	$V_{\text{th}}(\text{rec})\text{RX}(\text{max}) = 0.76V_{\text{BAT}}$ [1]	0.396	-	-
		$V_{\text{th}}(\text{dom})\text{RX}(\text{max}) = 0.593V_{\text{BAT}}$; $t_{\text{bit}} = 50\text{ }\mu\text{s}$ [2] $V_{\text{BAT}} = 5.5\text{ V} \sim 7\text{ V}$; LSC = 0			
$\delta 3$	デューティサイクル 3	$V_{\text{th}}(\text{rec})\text{RX}(\text{min}) = 0.422V_{\text{BAT}}$ [2]	-	-	0.581
		$V_{\text{th}}(\text{dom})\text{RX}(\text{min}) = 0.284V_{\text{BAT}}$; $t_{\text{bit}} = 50\text{ }\mu\text{s}$ [1] $V_{\text{BAT}} = 7.6\text{ V} \sim 18\text{ V}$; LSC = 0			
$\delta 4$	デューティサイクル 4	$V_{\text{th}}(\text{rec})\text{RX}(\text{min}) = 0.41V_{\text{BAT}}$ [2]	-	-	0.581
		$V_{\text{th}}(\text{dom})\text{RX}(\text{min}) = 0.275V_{\text{BAT}}$; $t_{\text{bit}} = 50\text{ }\mu\text{s}$ [1] $V_{\text{BAT}} = 6.1\text{ V} \sim 7.6\text{ V}$; LSC = 0			
$\delta 3$	デューティサイクル 3	$V_{\text{th}}(\text{rec})\text{RX}(\text{max}) = 0.778V_{\text{BAT}}$ [1]	0.417	-	-
		$V_{\text{th}}(\text{dom})\text{RX}(\text{max}) = 0.616V_{\text{BAT}}$ $t_{\text{bit}} = 96\text{ }\mu\text{s}$; $V_{\text{BAT}} = 7\text{ V} \sim 18\text{ V}$; LSC = 1			
$\delta 4$	デューティサイクル 4	$V_{\text{th}}(\text{rec})\text{RX}(\text{max}) = 0.797V_{\text{BAT}}$ [1]	0.417	-	-
		$V_{\text{th}}(\text{dom})\text{RX}(\text{max}) = 0.630V_{\text{BAT}}$ $t_{\text{bit}} = 96\text{ }\mu\text{s}$; $V_{\text{BAT}} = 5.5\text{ V} \sim 7\text{ V}$; LSC = 1			
$\delta 4$	デューティサイクル 4	$V_{\text{th}}(\text{rec})\text{RX}(\text{min}) = 0.389V_{\text{BAT}}$ [2]	-	-	0.590
		$V_{\text{th}}(\text{dom})\text{RX}(\text{min}) = 0.251V_{\text{BAT}}$; $t_{\text{bit}} = 96\text{ }\mu\text{s}$ [1] $V_{\text{BAT}} = 7.6\text{ V} \sim 18\text{ V}$; LSC = 1			
$\delta 4$	デューティサイクル 4	$V_{\text{th}}(\text{rec})\text{RX}(\text{min}) = 0.378V_{\text{BAT}}$ [2]	-	-	0.590
		$V_{\text{th}}(\text{dom})\text{RX}(\text{min}) = 0.242V_{\text{BAT}}$; $t_{\text{bit}} = 96\text{ }\mu\text{s}$ [1] $V_{\text{BAT}} = 6.1\text{ V} \sim 7.6\text{ V}$; LSC = 1			

表 11. 動的特性 ... 続き

特に指定がない限り $T_{vj} = -40\text{ }^{\circ}\text{C} \sim +150\text{ }^{\circ}\text{C}$, $V_{BAT} = 4.5\text{ V} \sim 28\text{ V}$, $V_{BAT} > V_{V1}$, $V_{BAT} > V_{V2}$, $R_{LIN1} = R_{LIN2} = 500\text{ }\Omega$, $R_{CANH-CANL} = 45\text{ }\Omega \sim 65\text{ }\Omega$ 。すべての電圧はグラウンドに接続。IC には正の電流。一般的な値は $V_{BAT} = 14\text{ V}$ に基づく。

シンボル	パラメータ	条件	最小	標準	最大	単位
$t_{PD(RX)r}$	立上りレシーバ伝播遅延	$V_{BAT} = 5.5\text{ V} \sim 18\text{ V}$ $R_{RXDL1} = R_{RXDL2} = 2.4\text{ k}\Omega$ $C_{RXDL1} = C_{RXDL2} = 20\text{ pF}$	-	-	6	μs
$t_{PD(RX)f}$	立下りレシーバ伝播遅延	$V_{BAT} = 5.5\text{ V} \sim 18\text{ V}$ $R_{RXDL1} = R_{RXDL2} = 2.4\text{ k}\Omega$ $C_{RXDL1} = C_{RXDL2} = 20\text{ pF}$	-	-	6	μs
$t_{PD(RX)sym}$	レシーバ伝播遅延シムトリー	$V_{BAT} = 5.5\text{ V} \sim 18\text{ V}$ $R_{RXDL1} = R_{RXDL2} = 2.4\text{ k}\Omega$ $C_{RXDL1} = C_{RXDL2} = 20\text{ pF}$	[2] -2	-	+2	μs
$t_{wake(busdom)min}$	最小バドミナント・ウェイクアップ時間		28	-	104	μs
$t_{to(dom)TXDL}$	TXDL ドミナントタイムアウト時間	LIN オンラインモード; $V_{TXDL} = 0\text{ V}$	20	-	80	ms
ウェイクバイアス出力; WBIAS ピン						
t_{WBIASL}	WBIAS LOW 時間		227	-	278	μs
t_{cy}	サイクル時間	WBC = 1	58.1	-	71.2	ms
		WBC = 0	14.5	-	17.8	ms
ウォッチドッグ						
$t_{trig(wd)1}$	ウォッチドッグトリガー時間 1	通常モード	[3]	0.45 ×	-	0.555 × ms
		ウォッチドッグ・ウィンドウモードのみ		NWP[4]		NWP[4]
$t_{trig(wd)2}$	ウォッチドッグトリガー時間 2	通常、スタンバイ、スリープの各モード	[5]	0.9 ×	-	1.11 × ms
		ウォッチドッグ・ウィンドウモードのみ		NWP[4]		NWP[4]
オシレータ						
f_{osc}	オシレータ周波数		460.8	512	563.2	kHz

[1] $\delta 1, \delta 3 = \frac{t_{bus(rec)(min)}}{2 \times t_{bit}}$. 変数 $t_{bus(rec)(min)}$ は LIN タイミング図 (図 20) を参照。

[2] バス負荷条件: $C_L = 1\text{ nF}$ and $R_L = 1\text{ k}\Omega$; $C_L = 6.8\text{ nF}$ and $R_L = 660\text{ }\Omega$; $C_L = 10\text{ nF}$ and $R_L = 500\text{ }\Omega$.

[1] $\delta 2, \delta 4 = \frac{t_{bus(rec)(max)}}{2 \times t_{bit}}$. 変数 $t_{bus(rec)(max)}$ は LIN タイミング図 (図 20) を参照。

[2] $t_{PD(RX)sym} = t_{PD(RX)r} - t_{PD(RX)f}$.

[3] ウォッチドッグがウィンドウモードで、ウォッチドッグ期間の開始後 $t_{trig(wd)1}$ より前 (またはウォッチドッグ期間の前半) にトリガーが発生した場合、システムリセットが実行されます。

[4] 公称ウォッチドッグ期間は、WD_and_Status レジスタの NWP コントロールビットでプログラムします (表 4 参照)。ウォッチドッグ・ウィンドウモードでのみ有効。

[5] ウォッチドッグがウィンドウモードで、ウォッチドッグ期間開始後、最短で $t_{trig(wd)1}$ 、 $t_{trig(wd)2}$ 未満 (またはウォッチドッグ期間の前半) にトリガーが発生した場合、ウォッチドッグはリセットされます。ウォッチドッグ期間開始後、 $t_{trig(wd)2}$ 以降にトリガーが発生した場合、システムリセットが実行されます (ウォッチドッグオーバーフロー)。

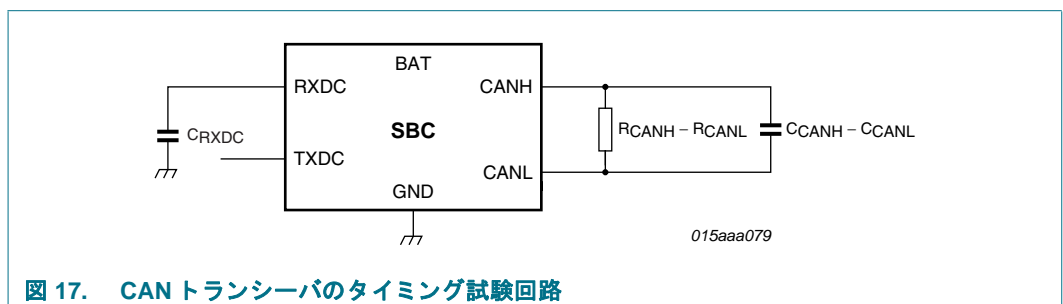


図 17. CAN トランシーバのタイミング試験回路

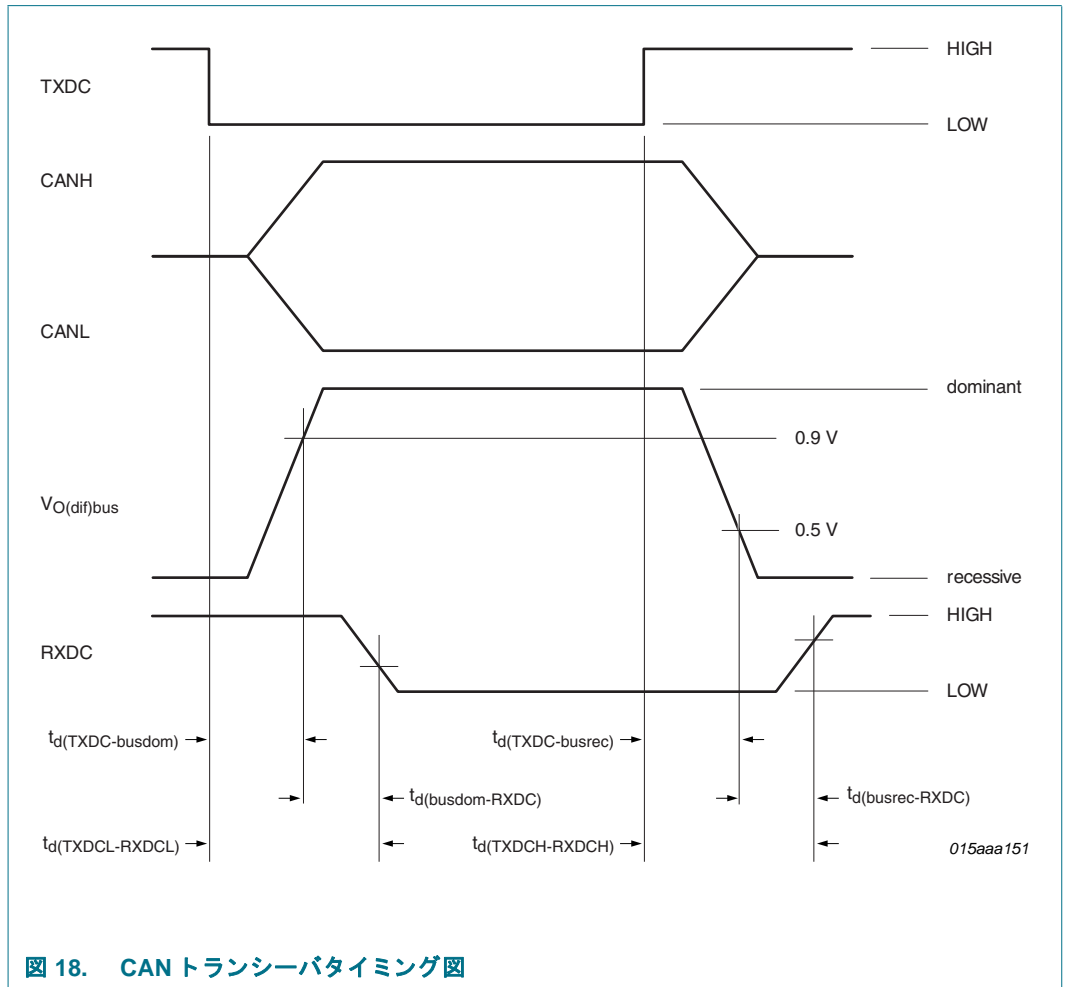


図 18. CAN トランシーバタイミング図

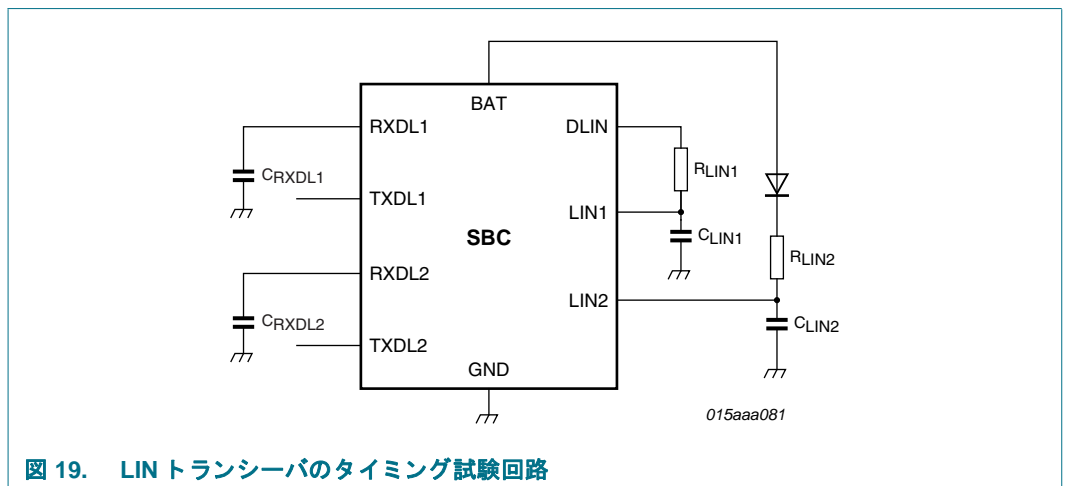


図 19. LIN トランシーバのタイミング試験回路

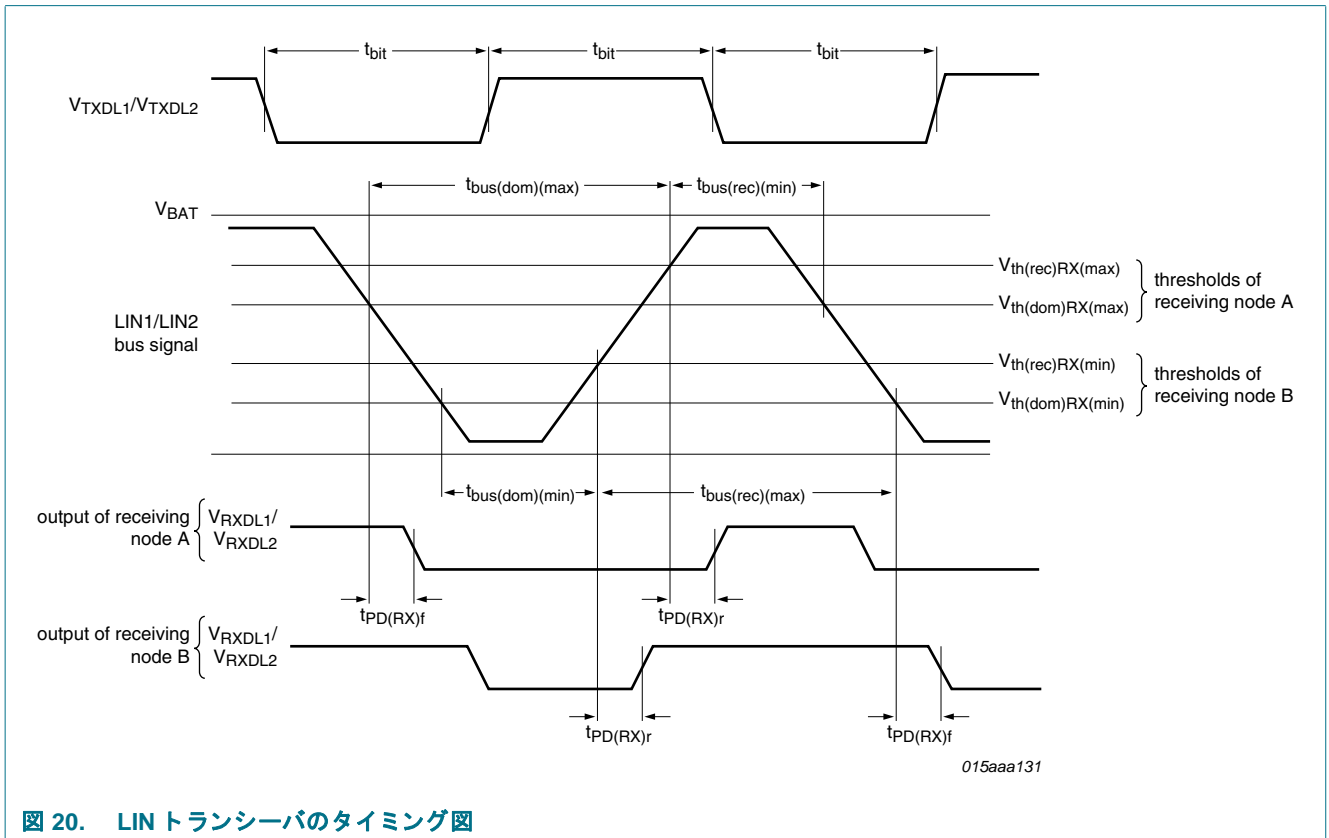


図 20. LIN トランシーバのタイミング図

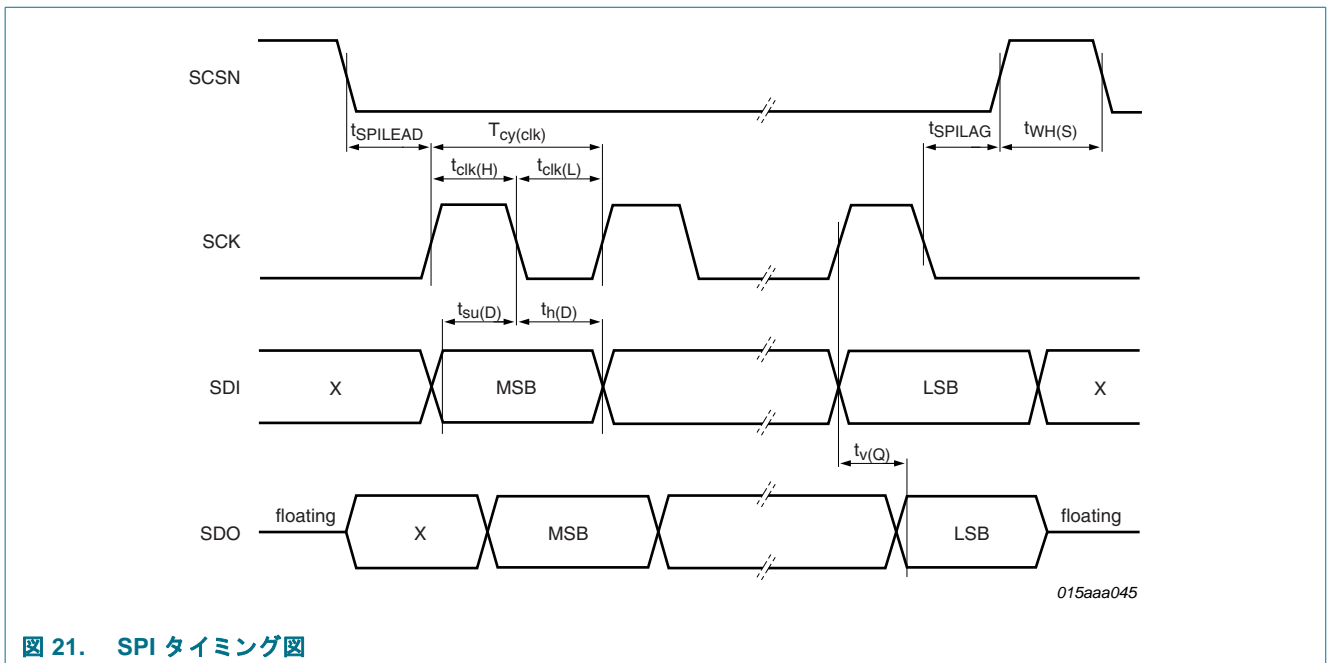


図 21. SPI タイミング図

11. テスト情報

11.1 品質について

本製品は、AEC (Automotive Electronics Council: 車載電子部品評議会) 規格「Q100 - Failure mechanism based stress test qualification for integrated circuits」に準拠しており、オートモーティブアプリケーションでの使用に適しています。

12. パッケージ外形

HTSSOP32: plastic thermal enhanced thin shrink small outline package; 32 leads; body width 6.1 mm; lead pitch 0.65 mm; exposed die pad

SOT549-1

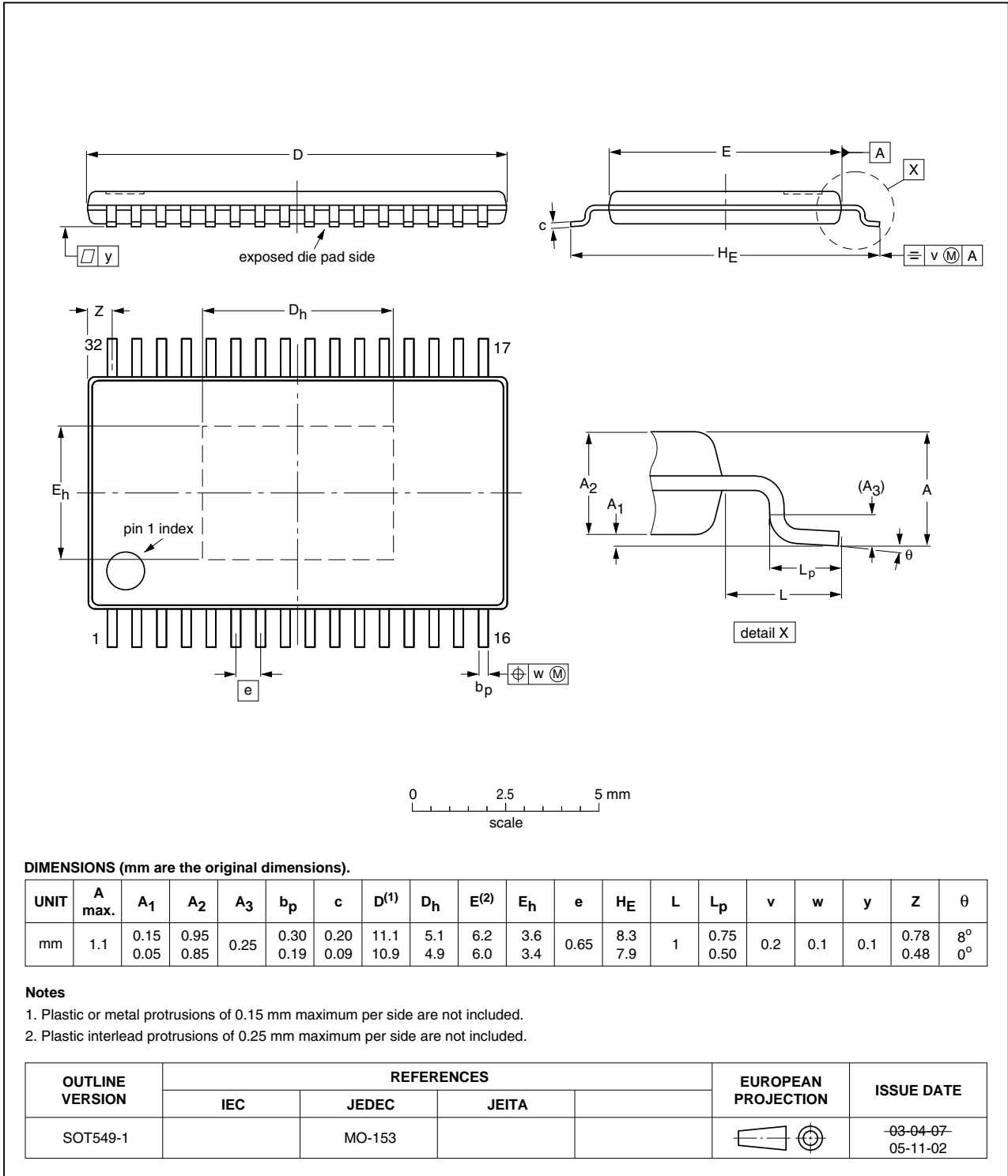


図 22. パッケージ外形 SOT549-1 (HTSSOP32)

13. SMD パッケージのはんだ付け

ここでは、複雑なテクノロジーの概略を非常に簡単に説明します。IC のはんだ付けに関する詳細は、アプリケーションノート AN10365『Surface mount reflow soldering description』を参照してください。

13.1 はんだ付けの概要

はんだ付けは、PCB（プリント基板）にパッケージを固定して電子回路を作成する最も一般的な方法の 1 つです。はんだ付けされた部分は物理的・電氣的の両方で接続されます。すべての IC パッケージに理想的な単一のはんだ付け方法はありません。たとえばウェーブ方式は 1 枚のプリント配線基板にスルーホールと SMD（表面実装デバイス）がある場合に好まれる方法ですが、ファインピッチ SMD に適した方法ではありません。また小型化の進展に伴い使われるようになったリフロー方式は、スモールピッチおよび高密度に適した方法です。

13.2 ウェーブ方式とリフロー方式

ウェーブはんだ付けははんだ浴中の波面に接触通過させてはんだ付けする方法で、次の場合に適しています。

- スルーホールコンポーネント
- PCB 表面に実装するリード SMD またはリードレス SMD

ウェーブ方式ではんだ付けできない SMD もあります。はんだボール付きのパッケージやボディの下にはんだランドがある一部のリードレスパッケージなどは、この方式を適用できません。またリード付き SMD でリードのピッチが 0.6mm より狭いものは、ブリッジの恐れが高まるためウェーブ方式を使えません。

リフロー方式はプリント基板にはんだペーストを印刷し、その上に部品を載せてから熱を加えてはんだを溶かす方法で、リード付きパッケージ、はんだボール付きパッケージ、リードレスパッケージに適用できます。

ウェーブ方式とリフロー方式の両方の主な特性は次のとおりです。

- 基板の仕上げ、はんだマスク、バイアを含む基板の仕様
- はんだシーフおよび方向を含むパッケージのフットプリント
- 湿度に対するパッケージの感度レベル
- パッケージ配置
- 検査および修理
- リードフリーはんだ対 SnPb はんだ

13.3 ウェーブはんだ付け

ウェーブ方式の主な特性は次のとおりです。

- 接着剤およびフラックスの適用、リードのクリンチ、基板の輸送、はんだウェーブパラメータ、コンポーネントをはんだ浴の波面に接触させる時間など、プロセスに関する課題
- 温度および不純物を含むはんだ浴の仕様

13.4 リフロー方式

リフロー方式の主な特性は次のとおりです。

- リードフリー対 SnPb はんだ – 通常、リードフリーのリフロープロセスは SnPb プロセスに比べて最低ピーク温度が高くなるので (図 23 を参照)、プロセスウィンドウが狭くなります。
- 汚れ、リリース、1 枚の基板の上に大きさが異なるコンポーネントが混在する場合のプロセスウィンドウの調整などはんだペーストの印刷に関わる課題。
- プリヒート、リフロー (基板をピーク温度まで加熱)、クールダウンを含むリフロー温度プロファイル。高い信頼性ではんだ付けを行うには、ピーク温度を十分高くする必要があります (はんだペースト特性)。同時に、ピーク温度はパッケージか基板またはその両方がダメージを受けないレベルの低さであることも必要です。パッケージのピーク温度はパッケージの厚さと体積に左右されます (表 12 および 13 を参照)。

表 12. SnPb 共晶プロセス (J-STD-020C より)

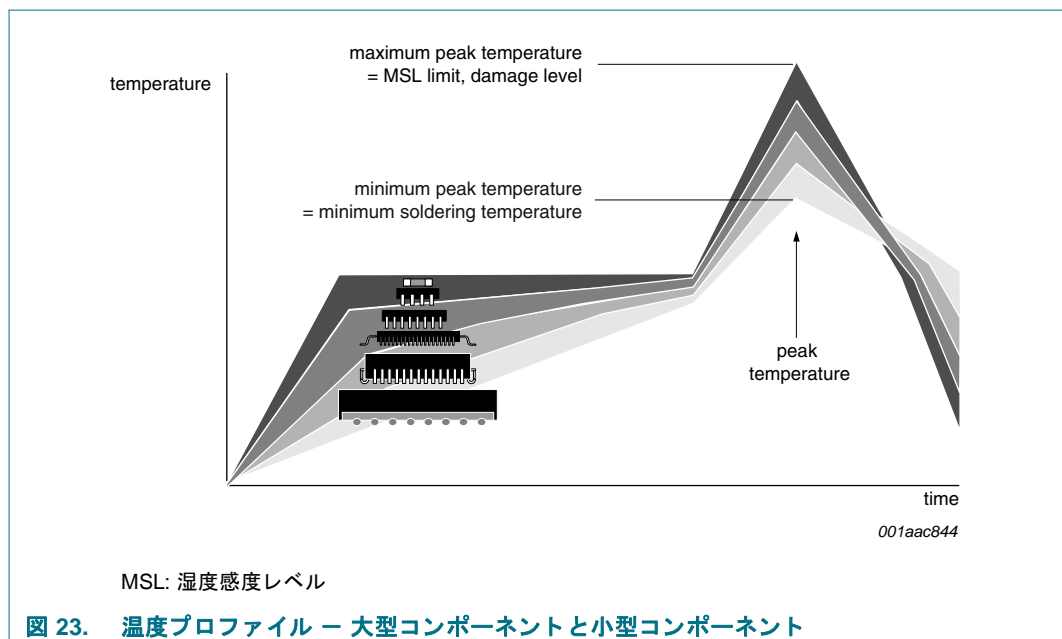
パッケージの厚さ (mm)	パッケージリフロー温度 (°C)	
	体積 (mm ³)	
	< 350	≥ 350
< 2.5	235	220
≥ 2.5	220	220

表 13. リードフリープロセス (J-STD-020C より)

パッケージの厚さ (mm)	パッケージリフロー温度 (°C)		
	体積 (mm ³)		
	< 350	350 ~ 2000	> 2000
< 1.6	260	260	260
1.6 to 2.5	260	250	245
> 2.5	250	245	245

パッキングに記載されている湿度感度に関する注意事項を必ず守ることが必要です。

リフローはんだ付けの場合、小型パッケージの方が温度が高くなるという調査結果が出ています (図 23 を参照)。



温度プロファイルの詳細は、アプリケーションノート AN10365 『Surface mount reflow soldering description』を参照してください。

14. 改訂履歴

表 14. 改訂履歴

文書 ID	発行日	データシートステータス	変更通知	旧版
UJA1078A v.2	20110128	Product data sheet	-	UJA1078A v.1
Modifications:	<ul style="list-style-type: none"> • 6.8 章: テキストを改訂 • 図 11, 図 12: 追加 • 表 8: パラメータ値 / 条件を変更 – V_{trt} • 表 9: パラメータ値 / 条件を変更 – $R_{th(j-a)}$ • 表 10: パラメータ値 / 条件を変更 – C_{ext} を C_{LIN1}/C_{LIN1} に変更 • 表 11: パラメータ値 / 条件を変更 – ピン V1 および RSTN、$\delta 1$、$\delta 2$、$\delta 3$、$\delta 4$ の $t_{det(CL)L}$ 			
UJA1078A v.1	20100709	製品データシート	-	-

15. 法務関連情報

15.1 データシートステータ

文書ステータス [1][2]	製品ステータス [3]	定義
目標 [簡略版] データシート	開発	この文書には、製品開発について客観的な仕様からのデータが含まれています。
準備 [簡略版] データシート	適格性評価	この文書には準備仕様からのデータが含まれています。
製品 [簡略版] データシート	生産	この文書には製品仕様が含まれています。

- [1] デザインを開始する前または完了する前に、最新の文書を確認してください。
- [2] 簡略版データシートの詳細は下記「定義」を参照してください。
- [3] 本文書に記載されているデバイスの製品ステータスは、本文書の発行後に変更されている場合があります。また、複数のデバイスの場合に異なる場合があります。製品のステータスに関する最新情報はインターネットで確認できます (<http://www.nxp.com>)。

15.2 定義

ドラフト — 文書はドラフトバージョンとしての意味しか持たず、その内容は社内でもチェック中であるとともに正式な承認が必要であるため、変更されたり追加されたりする場合があります。NXP セミコンダクターズは本文書に含まれている情報の正確性および完全性を主張または保証せず、本文書に含まれている情報を使用したことによって生じた結果に対していかなる責任も負いません。

簡略版データシート — 同じ製品タイプ番号とタイトルの完全版データシートからの抜粋です。簡単な参照用としての役割のみを果たし、完全な詳細情報は含まれていません。完全な詳細情報を網羅している完全版データシートは、お近くの NXP セミコンダクターズ オフィスまでお問い合わせください。完全版と簡略版の間に差異や不一致部分がある場合、完全版データシートが適用されます。

製品仕様 — 製品データシートに記載されている情報とデータは、NXP セミコンダクターズおよび顧客が別途書面で明示的に同意している場合を除き、NXP セミコンダクターズと顧客の間で合意されている製品の仕様を規定します。ただし、NXP セミコンダクターズの製品が製品データシートに記載されている以上の機能および品質を提供するとされている合意はいかなる状況においても無効です。

15.3 免責条項

保証および責任の限度 — NXP セミコンダクターズは本文書内の情報が正確で信頼できるものであると考えていますが、明示的であるか暗示的であるかを問わず、これらの情報の正確性または完全性についていかなる主張または保証もせず、これらの情報を使用したことによって生じた結果に対していかなる責任も負いません。NXP セミコンダクターズは、NXP セミコンダクターズ以外の情報源から提供された本文書中の記述について、いかなる責任も負いません。

間接的、偶発的、懲罰的、特別または結果的であるかに関係なくいかなる損害についても、また係る損害が不正行為（過失を含む）、保証、契約または他の法的理論の違反によって生じた場合であっても、NXP セミコンダクターズは一切の責任を負いません。このような損失には収益の逸失、預金の損失、事業の中断、製品の撤去や交換関連するコストまたは再作業費用などが含まれますが、これらだけに限られません。

何らかの理由により顧客が損害を被った場合、本文書に記載されている製品について顧客に対する NXP セミコンダクターズの累積的なすべての責任の上限は、NXP セミコンダクターズの「商業販売条件」の規定に準拠するものとします。

変更の権利 — NXP セミコンダクターズは、本文書で公開されている情報を通知なくいつでも変更する権利を有します。これには仕様および製品の説明が含まれますが、これらだけに限られません。本文書は、本文書の発行前に提供されたすべての情報に優先し、これらに替わるものとなります。

オートモーティブアプリケーションにおける使用適合性 — NXP セミコンダクターズの製品は、オートモーティブアプリケーションにおける使用適合性が確認されています。書面による合意がある場合を除き、本製品は人命支援、人命や安全に関わるシステムまたは設備での使用、また NXP セミコンダクターズ製品のエラーまたは不具合が個人の死傷または財産もしくは環境への深刻な損害につながるということが合理的に予測されるアプリケーションに対して

適した製品として設計、承認、保証されていません。NXP セミコンダクターズならびにそのサプライヤは、このような設備やアプリケーションにおける NXP セミコンダクターズ製品の使用に対していかなる責任も負わず、係る状況での使用に対するリスクは顧客が負うものとします。

アプリケーション — 本文書に記載されているこれらの製品のアプリケーションは説明のみを目的としたものであり、NXP セミコンダクターズはさらなるテストや改修なしに係るアプリケーションが特定の用途に適しているかどうかについていかなる主張も保証しません。

顧客は NXP セミコンダクターズの製品を使用したアプリケーションおよび製品のデザインと作業に対する責任を負い、NXP セミコンダクターズはアプリケーションおよび顧客の製品デザインへの支援に対していかなる責任も負いません。顧客の予定しているアプリケーションと製品、またサードパーティとなる顧客の顧客が予定しているアプリケーションに NXP セミコンダクターズの製品が適しているかどうか、その判断に対する全責任は顧客が負うものとします。係るアプリケーションおよび製品に関連するリスクを最小限に抑えるため、顧客はデザインおよび作業に対して適切な安全対策を講じる必要があります。

NXP セミコンダクターズは、顧客のアプリケーションまたは製品もしくはサードパーティとなる顧客の顧客のアプリケーションまたは使用における欠陥や怠慢に起因するすべての怠慢、損害、コスト、問題に対していかなる責任も負いません。顧客は、顧客またはその顧客のアプリケーションおよび製品の不具合を避けるため、NXP セミコンダクターズの製品を使用したアプリケーションおよび製品について必要なすべてのテストを実施する責任を負います。係る状況について、NXP はいかなる責任も負いません。

絶対最大定格 — 1 つまたは複数の制限値 (IEC60134 の絶対最大定格システムに規定) を超えるストレスは、デバイスの恒久的なダメージの原因となります。制限値はストレス定格のみとしての意味を有し、これらの条件下または推奨動作条件のセクション (ある場合) または本文書にある特性の説明に記載されている制限値を超えた (適切な) 使用についての保証はありません。制限値で常時動作している場合もしくは制限値での動作が頻繁に繰り返された場合、デバイスの品質と信頼性に永続的に元に戻すことのできない影響を与えます。

商業販売条件 — 書面による有効な個別契約に基づいて合意している場合を除き、NXP セミコンダクターズ製品の商業販売は <http://www.nxp.com/profile/terms> に公開されている条件にしたがって販売されます。個別契約が結ばれた場合は、係る契約の条件のみが適用されます。顧客による NXP セミコンダクターズ製品の購入に関し、顧客が定める一般条件を適用することを NXP セミコンダクターズはここに明示的に拒否します。

販売またはライセンス提供の提案 — 本文書のいかなる部分も、いずれの著作権、特許もしくは他の工業所有権または知的財産権においても、オープンに提供または供与できる製品の販売、ライセンスの譲渡や関与を提案するものとして理解または解釈することはできません。

輸出規制 — 本文書および記載されている項目は、輸出管理法の適用を受けられる場合があります。輸出に際し、各国規制当局の事前許可が必要な場合があります。

15.4 商標

注意: 本文書に記載されているすべてのブランド、製品名、サービス名、商標はそれぞれの所有者の知的財産です。

16. お問い合わせ先

詳細は弊社 Web サイトをご覧ください : <http://www.jp.nxp.com/#/homepage>

お近くのオフィスの住所については電子メールでお問合せください : salesaddresses@nxp.com

17. 目次

1	はじめに.....	1	6.7.3.1	TXDC ドミナントタイムアウト機能.....	23
2	特徴およびメリット.....	2	6.7.3.2	TXDC ピンのプルアップ.....	23
2.1	全般.....	2	6.8	LIN1/LIN2 トランシーバ.....	23
2.2	CAN トランシーバ.....	2	6.8.1	LIN の動作モード.....	24
2.3	LIN トランシーバ.....	2	6.8.1.1	アクティブモード.....	24
2.4	電力管理.....	2	6.8.1.2	低電力モード / オフモード.....	24
2.5	コントロールおよび診断機能.....	3	6.8.2	フェールセーフ機能.....	25
2.6	電圧レギュレータ.....	3	6.8.2.1	全般的なフェールセーフ機能.....	25
3	オーダー関連情報.....	4	6.8.2.2	TXDL ドミナントタイムアウト機能.....	25
4	ブロック図.....	4	6.9	ローカルウェイクアップ入力.....	25
5	ピンニング情報.....	5	6.10	割り込み出力.....	26
5.1	ピンニング.....	5	6.10.1	過熱保護.....	26
5.2	ピンの説明.....	5	7	絶対最大定格.....	28
6	機能説明.....	6	8	熱特性.....	30
6.1	システムコントローラ.....	6	9	電気的特性.....	32
6.1.1	概要.....	6	10	動的特性.....	40
6.1.2	オフモード.....	7	11	テスト情報.....	44
6.1.3	スタンバイモード.....	8	11.1	品質について.....	44
6.1.4	通常モード.....	8	12	パッケージ外形.....	45
6.1.5	スリープモード.....	9	13	SMD パッケージのはんだ付け.....	46
6.1.6	過熱モード.....	9	13.1	はんだ付けの概要.....	46
6.2	SPI (シリアルペリフェラル・インターフェース).....	9	13.2	ウェーブ方式とリフロー方式.....	46
6.2.1	概要.....	9	13.3	ウェーブはんだ付け.....	46
6.2.2	レジスタマップ.....	10	13.4	リフロー方式.....	46
6.2.3	WD_and_Status レジスタ.....	11	14	改訂履歴.....	48
6.2.4	Mode_Control レジスタ.....	12	15	法務関連情報.....	49
6.2.5	Int_Control レジスタ.....	13	15.1	データシートステータ.....	49
6.2.6	Int_Status レジスタ.....	15	15.2	定義.....	49
6.3	オンチップオシレータ.....	15	15.3	免責条項.....	49
6.4	ウォッチドッグ (UJA1078A/xx/WD パージョン).....	16	15.4	商標.....	49
6.4.1	ウォッチドッグ - ウィンドウモード時の挙動.....	16	16	お問合せ先.....	50
6.4.2	ウォッチドッグ - タイムアウトモード時の挙動.....	17	17	目次.....	51
6.4.3	ウォッチドッグ - オフモード時の挙動.....	17			
6.5	システムリセット.....	17			
6.5.1	RSTN ピン.....	18			
6.5.2	EN 出力.....	18			
6.5.3	LIMP 出力.....	18			
6.6	電源.....	19			
6.6.1	バッテリーピン (BAT).....	19			
6.6.2	電圧レギュレータ V1.....	19			
6.6.3	電圧レギュレータ V2.....	21			
6.7	CAN トランシーバ.....	21			
6.7.1	CAN の動作モード.....	21			
6.7.1.1	アクティブモード.....	21			
6.7.1.2	低電力モード / オフモード.....	22			
6.7.2	スプリット回路.....	22			
6.7.3	フェールセーフ機能.....	23			

Please be aware that important notices concerning this document and the product(s) described herein, have been included in section 'Legal information'.

© NXP B.V. 2012.

All rights reserved.

For more information, please visit: <http://www.nxp.com>

For sales office addresses, please send an email to: salesaddresses@nxp.com

Date of release: 2011 年 1 月 28 日

Document identifier: UJA1078A